

DIALOG(R) File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

05683229 **Image available**
ELECTRON EMITTING ELEMENT, ELECTRON SOURCE USING IT, IMAGE FORMING DEVICE
AND ITS MANUFACTURE

PUB. NO.: 09-298029 [J P 9298029 A]
PUBLISHED: November 18, 1997 (19971118)
INVENTOR:

INVENTOR(s) : KAWADE ISAAKI
YAMAMOTO KEISUKE
HAMAMOTO YASUHIRO
YAMANOE MASATO
MITOME MASANORI

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 08-083071 [JP 9683071]

FILED: March 13, 1996 (19960313)

INTL CLASS: [6] H01J-001/30; H01J-009/02; H01J-031/12
JAPIC CLASS: 42.3 (ELECTRONIC)

JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes); 29.4 (PRECISION INSTRUMENTS -- Business Machines); 30.2 (MISCELLANEOUS GOODS -- Sports & Recreation); 44.4 (COMMUNICATION -- Telephone); 44.6 (COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other); 45.3 (INFORMATION PROCESSING -- Input Output Units)

JAPIO KEYWORD: R003 (ELECTRON BEAM); R012 (OPTICAL FIBERS); R020 (VACUUM TECHNIQUES); R044 (CHEMISTRY -- Photosensitive Resins); R101 (APPLIED ELECTRONICS -- Video Tape Recorders, VTR); R107 (INFORMATION PROCESSING -- OCR & OMR Optical Readers); R108 (INFORMATION PROCESSING -- Speech Recognition & Synthesis); R139 (INFORMATION PROCESSING -- Word Processors)

ABSTRACT

PROBLEM TO BE SOLVED: To uniformize and stabilize the electron emitting characteristic, and improve the electron emitting efficiency by uniformly forming an electron emitting part, particularly, in surface conductive type, so that the width of a crack is 50nm or less, and the length corresponding to voltage application is 5nm or less.

SOLUTION: This element has a base 1, opposed element electrodes 4, 5, and a conductive film 3 formed of fine particle film, and an electron emitting part 2 formed of a crack by electric forming is formed on the film 3. The crack width is uniformly set to 50nm or less and, preferably, the voltage application corresponding length is uniformly set to 5nm or less. Namely, the electric forming is performed in the atmosphere containing a gas for promoting the coagulation of the film 3 by applying a pulse voltage preferably in a prescribed wave height value. As the gas, reductive H(sub 2), CO or the like is used when the film 3 is formed of a metal oxide, to coagulate the film 3 in reduction. Thus, the power necessary for treatment is reduced, and since the emitting part 2 is formed when the resistance value of the film 3 is reduced to the same value, the dispersion between elements is suppressed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-298029

(43) 公開日 平成9年(1997)11月18日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 1/30			H 0 1 J 1/30	B
				Z
9/02			9/02	B
31/12			31/12	C

審査請求 有 請求項の数27 F D (全 36 頁)

(21) 出願番号	特願平8-83071	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成8年(1996)3月13日	(72) 発明者	河出 一佐哲 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(31) 優先権主張番号	特願平7-79402	(72) 発明者	山本 敬介 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(32) 優先日	平7(1995)3月13日	(72) 発明者	浜元 康弘 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 豊田 善雄 (外1名)
(31) 優先権主張番号	特願平8-73074		
(32) 優先日	平8(1996)3月5日		
(33) 優先権主張国	日本 (J P)		

最終頁に続く

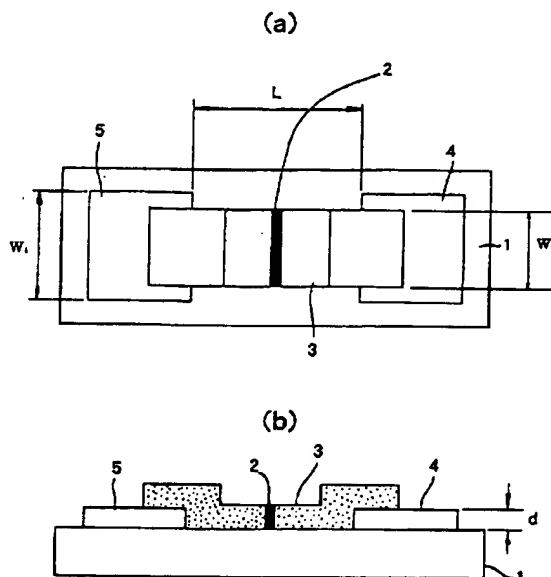
(54) 【発明の名称】 電子放出素子、それを用いた電子源、画像形成装置、及びその製造方法

(57) 【要約】

【課題】 高品位画像形成装置を実現し得る電子ビーム源としての電子放出素子を提供する。

【解決手段】 素子電極4、5間に、電子放出部2を有する導電性膜3を備える電子放出素子の製造方法において、導電性膜3の還元または凝集を促進するガスを含む雰囲気中にて、電子放出部2の形成工程を行うことを特徴とする。

【効果】 フォーミング処理に必要な電力を低下させることができ、均一な電子放出特性を有する素子が得られる。



【特許請求の範囲】

【請求項1】 電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記電子放出部が、前記導電性膜に形成された亀裂であって、該亀裂の幅が50 nm以下で一様であることを特徴とする電子放出素子。

【請求項2】 電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記電子放出部における電圧印加相当長が、5 nm以下で一様であることを特徴とする電子放出素子。

【請求項3】 前記電子放出部が、前記導電性膜とは異なる材質の被膜を有する請求項1または2に記載の電子放出素子。

【請求項4】 前記被膜が、炭素または炭素化合物を有する請求項3に記載の電子放出素子。

【請求項5】 前記被膜が、金属または金属化合物を有する請求項3に記載の電子放出素子。

【請求項6】 前記電子放出素子が、表面伝導型電子放出素子である請求項1～5のいずれかに記載の電子放出素子。

【請求項7】 基体上に、複数の電子放出素子が配列された電子源において、前記電子放出素子が、請求項1～6のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項8】 前記複数の電子放出素子が、マトリクス状に配線されている請求項7に記載の電子源。

【請求項9】 前記複数の電子放出素子が、梯子状に配線されている請求項7に記載の電子源。

【請求項10】 基体上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置において、前記電子源が、請求項7～9のいずれかに記載の電子源であることを特徴とする画像形成装置。

【請求項11】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、導電性膜に電子放出部を形成する工程が、該導電性膜の還元または凝集を促進するガスを含む雰囲気中にて行われることを特徴とする電子放出素子の製造方法。

【請求項12】 前記ガスが、 H_2 である請求項11に記載の電子放出素子の製造方法。

【請求項13】 前記ガスが、COまたは有機物質である請求項11に記載の電子放出素子の製造方法。

【請求項14】 前記導電性膜に電子放出部を形成する工程が、金属化合物の導電性膜に通電する工程を有する請求項11～13のいずれかに記載の電子放出素子の製造方法。

【請求項15】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、導電性膜に電子放出部を形成する工程が、該導電性膜にパルス電圧を印加することにより行われ、該パルス電圧は、パル

ス幅を T_1 、パルス間隔を T_2 としたとき、 $T_2 \geq 5 \times T_1$ の関係を満たし、その波高値を該導電性膜が凝集する値に設定して行われることを特徴とする電子放出素子の製造方法。

【請求項16】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、導電性膜に電子放出部を形成する工程が、該導電性膜にパルス電圧を印加することにより行われ、該パルス電圧は、パルス幅を T_1 、パルス間隔を T_2 としたとき、 $T_2 \geq 5 \times T_1$ の関係を満たし、その波高値を上昇させ、該導電性膜が凝集する値で保持することにより行われることを特徴とする電子放出素子の製造方法。

【請求項17】 前記パルス電圧の印加は、前記波高値の保持につづき、該パルス電圧のパルス幅を増加させる工程を更に有する請求項16に記載の電子放出素子の製造方法。

【請求項18】 前記パルス電圧の印加は、前記波高値の保持につづき、該パルス電圧の波高値を増加させる工程を更に有する請求項16に記載の電子放出素子の製造方法。

【請求項19】 前記導電性膜に電子放出部を形成する工程が、該導電性膜の還元または凝集を促進するガスを含む雰囲気中にて行われる請求項15～18のいずれかに記載の電子放出素子の製造方法。

【請求項20】 前記ガスが、 H_2 である請求項19に記載の電子放出素子の製造方法。

【請求項21】 前記ガスが、COまたは有機物質である請求項19に記載の電子放出素子の製造方法。

【請求項22】 更に、前記電子放出部に、前記導電性膜とは異なる材質の被膜を形成する工程を有する請求項11～21のいずれかに記載の電子放出素子の製造方法。

【請求項23】 前記被膜が、炭素または炭素化合物を有する請求項22に記載の電子放出素子の製造方法。

【請求項24】 前記被膜が、金属または金属化合物を有する請求項22に記載の電子放出素子の製造方法。

【請求項25】 前記電子放出素子が、表面伝導型電子放出素子である請求項11～24のいずれかに記載の電子放出素子の製造方法。

【請求項26】 基体上に、複数の電子放出素子が配列された電子源の製造方法において、前記電子放出素子が、請求項11～25のいずれかに記載の方法にて製造されることを特徴とする電子源の製造方法。

【請求項27】 基体上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置の製造方法において、前記電子源が、請求項26に記載の方法にて製造されることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子、該電子放出素子を多数個配置してなる電子源、及び該電子源を用いて構成した表示装置や露光装置等の画像形成装置、並びにそれらの製造方法に関する。

【0002】

【従来の技術】従来、電子放出素子には大別して熱電子放出素子と冷陰極電子放出素子の2種類が知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」と称す。）、金属／絶縁層／金属型（以下、「MIM型」と称す。）、や表面伝導型電子放出素子等がある。

【0003】FE型の例としては、W. P. Dyke and W. W. Dolan, "Field Emission", Advance in Electron Physics, 8, 89 (1956)あるいはC. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976)等に開示されたものが知られている。

【0004】MIM型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961)等に開示されたものが知られている。

【0005】表面伝導型電子放出素子の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290 (1965)等に開示されたものがある。

【0006】表面伝導型電子放出素子は、絶縁性基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等による SnO_2 薄膜を用いたもの、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317 (1972)]、 In_2O_3 ／ SnO_2 薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22頁 (1983)]等が報告されている。

【0007】これらの表面伝導型電子放出素子の典型的な例として、前述のM. ハートウェルの素子構成を図18に模式的に示す。同図において1201は基板である。1203は導電性膜で、H型形状のパターンに形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部1202が形成される。尚、図中の間隔Lは、0.5～1mm、Wは、0.1mmで設定されている。

【0008】これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性膜1203を予め通電フォーミングと呼ばれる通電処理によって電子放出部1202を形成するのが一般的である。即ち、通電フォーミングとは、前記導電性膜1203の両端に電圧を印加通電し、導電性膜1203を局部的に破壊、変形もしくは変質させて構造を変化させ、電氣的に高抵抗な状態の電子放出部1202を形成する処理である。尚、電子放出部1202では導電性膜1203の一部に亀裂が発生しており、その亀裂付近から電子放出が行われる。

【0009】上述のM. ハートウェルの素子とは別に、本出願人は、絶縁性の基体上に、導電体により形成された対向する一対の素子電極を形成し、これらの電極とは別に両電極を連絡する導電性膜を形成し、通電フォーミングにより電子放出部を形成した構成の素子を報告している。かかる通電フォーミングの方法としては、パルス電圧を印加し、このパルスの波高値を漸増させる方法が適用できることも報告している。これらの構成及び方法については、例えば、特願平6-141670号の明細書中に、その一例が記載されている。

【0010】上述の表面伝導型電子放出素子は、構造が単純であることから、大面積に亘って多数素子を配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば、荷電ビーム源、表示装置等の画像形成装置への利用が挙げられる。

【0011】従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の表面伝導型電子放出素子の両端（両素子電極）を配線（共通配線とも呼ぶ）にて夫々結線した行を多数行配列（梯子型配置とも呼ぶ）した電子源が挙げられる（例えば、特開昭64-31332号公報、特開平1-283749号公報、同2-257552号公報）。

【0012】また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配置した電子源と、この電子源からの電子線の照射により可視光を発生する蛍光体とを組み合わせた表示装置が提案されている（アメリカ特許第5066883号明細書）。

【0013】

【発明が解決しようとする課題】電子放出素子については、これを適用した画像形成装置が、表示画像を構成する画素間の輝度のばらつきが少ない均一な画像を安定して提供できるよう、更に電子放出特性の均一性と安定性の向上が要望されている。

【0014】しかしながら、上述のM. ハートウェルの電子放出素子にあっては、電子放出の均一性と安定性について、必ずしも満足のゆくものが得られていない。具体的には、前述のフォーミング処理によって形成された

電子放出部は、その形態が電子放出部全体に渡って不均一であるため、かかる素子を基板上に複数配置して、例えば平面型画像形成装置などに利用する電子源を形成すると、複数の素子間においても電子放出部の形態が不均一であり、その電子放出特性に至っても均一な電子放出を行うことが困難であろうと思われる。従って、これを用いて均一で動作安定性に優れた画像形成装置を提供することは極めて難しいと言わざるを得ない。

【0015】一方、本出願人により報告された電子放出素子及びその製造方法によれば、上記の問題点は相当改善することが出来、これを用いた電子源及び画像形成装置についても、前述の出願においてもその例が報告されている。

【0016】しかしながら、より高度な応用に用いるためには、電子放出特性の均一性と安定性の更なる向上が求められている。とりわけ、多数の表面伝導型電子放出素子を配置した電子源を製造する工程で、通電フォーミングにより電子放出部を形成する工程では、比較的大きな電力が必要となり、従って、配線を通れる電流も大きくなる。このため、配線の有する電気抵抗により電圧降下が起こり、フォーミング工程で電子放出素子にかかる実効的な電圧が素子毎に異なってしまう。このため、素子毎の電子放出特性に無視できない違いが生ずる場合がある。

【0017】また、電子放出素子の形成に大きな電力を必要とするため、電子放出部が必ずしも好ましい状態に形成されず、電子放出効率などの電子放出特性自体も十分なものが得られない場合がある。

【0018】本発明の目的は、上述した解決すべき技術課題を解決し、均一で安定な電子放出特性を有する電子放出素子を提供することにある。本発明の別の目的は、均一で安定であることに加え、電子放出効率などの優れた電子放出特性を有する電子放出素子を提供することにある。本発明のさらに別の目的は、均一で動作安定性に優れ、より高品位な画像を形成し得る画像形成装置を提供することにある。

【0019】

【課題を解決するための手段】上記の目的を達成するために成された本発明の構成は、以下の通りである。

【0020】即ち、本発明の第一は、電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記電子放出部が、前記導電性膜に形成された亀裂であって、該亀裂の幅が50nm以下で一様であることを特徴とする電子放出素子にある。

【0021】また、本発明の第二は、電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記電子放出部における電圧印加相当長が、5nm以下で一様であることを特徴とする電子放出素子にある。

【0022】上記本発明第一及び第二の電子放出素子は、更にその特徴として、「前記電子放出部が、前記導

電性膜とは異なる材質の被膜を有する」こと、「前記被膜が、炭素または炭素化合物を有する」こと、「前記被膜が、金属または金属化合物を有する」こと、「表面伝導型電子放出素子である」こと、をも含む。

【0023】また、本発明の第三は、基体上に、複数の電子放出素子が配列された電子源において、前記電子放出素子が、上記本発明第一または第二の電子放出素子であることを特徴とする電子源にある。

【0024】上記本発明第三の電子源は、更にその特徴として、「前記複数の電子放出素子が、マトリクス状に配線されている」こと、「前記複数の電子放出素子が、梯子状に配線されている」こと、をも含む。

【0025】また、本発明の第四は、基体上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置において、前記電子源が、上記本発明第三の電子源であることを特徴とする画像形成装置にある。

【0026】また、本発明の第五は、電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、導電性膜に電子放出部を形成する工程が、該導電性膜の還元または凝集を促進するガスを含む雰囲気中にて行われることを特徴とする電子放出素子の製造方法にある。

【0027】上記本発明第五の製造方法は、更にその特徴として、「前記ガスが、 H_2 である」こと、「前記ガスが、COまたは有機物質である」こと、「前記導電性膜に電子放出部を形成する工程が、金属酸化物の導電性膜に通電する工程を有する」こと、をも含む。

【0028】また、本発明の第六は、電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、導電性膜に電子放出部を形成する工程が、該導電性膜にパルス電圧を印加することにより行われ、該パルス電圧は、パルス幅を T_1 、パルス間隔を T_2 としたとき、 $T_2 \geq 5 \times T_1$ の関係を満たし、その波高値を該導電性膜が凝集する値に設定して行われることを特徴とする電子放出素子の製造方法にある。

【0029】また、本発明の第七は、電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、導電性膜に電子放出部を形成する工程が、該導電性膜にパルス電圧を印加することにより行われ、該パルス電圧は、パルス幅を T_1 、パルス間隔を T_2 としたとき、 $T_2 \geq 5 \times T_1$ の関係を満たし、その波高値を上昇させ、該導電性膜が凝集する値で保持することにより行われることを特徴とする電子放出素子の製造方法にある。

【0030】上記本発明第七の製造方法は、更にその特徴として、「前記パルス電圧の印加は、前記波高値の保持につづき、該パルス電圧のパルス幅を増加させる工程を更に有する」こと、「前記パルス電圧の印加は、前記

波高値の保持につづき、該パルス電圧の波高値を増加させる工程を更に有すること、をも含む。

【0031】また、上記本発明第六及び第七の製造方法は、更にその特徴として、「前記導電性膜に電子放出部を形成する工程が、該導電性膜の還元または凝集を促進するガスを含む雰囲気中にて行われる」こと、「前記ガスが、 H_2 である」こと、「前記ガスが、 CO または有機物質である」こと、「更に、前記電子放出部に、前記導電性膜とは異なる材質の被膜を形成する工程を有すること」、「前記被膜が、炭素または炭素化合物を有すること」、「前記被膜が、金属または金属化合物を有すること」、「前記電子放出素子が、表面伝導型電子放出素子である」こと、をも含む。

【0032】また、本発明の第八は、基体上に、複数の電子放出素子が配列された電子源の製造方法において、前記電子放出素子が、上記本発明第六または第七の方法にて製造されることを特徴とする電子源の製造方法にある。

【0033】また、本発明の第九は、基体上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置の製造方法において、前記電子源が、上記本発明第八の方法にて製造されることを特徴とする画像形成装置の製造方法にある。

【0034】本発明の電子放出素子とその製造方法によれば、ばらつきの少ない電子放出部の形態を創出し、ひいては電子放出特性の均一性及び安定性を向上させ得る。また、本発明の電子源によれば、複数素子にわたり均一で安定な電子放出を行うことができる。さらに、本発明の画像形成装置によれば、ばらつきが少なく動作安定性に優れた良好な画像を表示することができる。

【0035】

【発明の実施の形態】次に、本発明の好ましい実施態様を示す。

【0036】本発明を適用し得る電子放出素子は、先述したような冷陰極型の電子放出素子に分類されるもので、それらの中でも電子放出特性等の観点から特に表面伝導型の電子放出素子が好適である。このため、以下では表面伝導型電子放出素子を例に挙げて説明する。

【0037】本発明の表面伝導型電子放出素子の基本的構成には、大別して、平面型と垂直型の2つがある。まず、平面型の表面伝導型電子放出素子の基本的な構成について説明する。

【0038】図1は、本発明の平面型の表面伝導型電子放出素子の一構成例を示す模式図であり、図1(a)は平面図、図1(b)は縦断面図である。図1において、1は基板、4と5は電極(素子電極)、3は導電性膜、2は電子放出部である。

【0039】基板1としては、石英ガラス、 Na 等の不純物含有量を減少させたガラス、青板ガラス、青板ガラ

スにスパッタ法等により SiO_2 を積層した積層体、アルミナ等のセラミックス及び Si 基板等を用いることができる。

【0040】対向する素子電極4、5の材料としては、一般的な導体材料を用いることができ、例えば Ni 、 Cr 、 Au 、 Mo 、 W 、 Pt 、 Ti 、 Al 、 Cu 、 Pd 等の金属或は合金及び Pd 、 Ag 、 Au 、 RuO_2 、 $Pd-Ag$ 等の金属或は金属酸化物とガラス等から構成される印刷導体、 $In_2O_3-SnO_2$ 等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択される。

【0041】素子電極間隔 L 、素子電極長さ W_1 、導電性膜3の幅 W_2 及び厚さ等は、応用される形態等を考慮して、設計される。素子電極間隔 L は、好ましくは、数百 nm から数百 μm の範囲とすることができ、より好ましくは、素子電極間に印加する電圧等を考慮して数 μm から数十 μm の範囲とすることができる。

【0042】素子電極長さ W_1 は、電極の抵抗値、電子放出特性を考慮して、数 μm から数百 μm の範囲とすることができる。素子電極4、5の膜厚 d は、数十 nm から数 μm の範囲とすることができる。

【0043】尚、図1に示した構成だけでなく、基板1上に、導電性膜3、対向する素子電極4、5の順に積層した構成とすることもできる。

【0044】導電性膜3を構成する主な材料としては、例えば Pd 、 Pt 、 Ru 、 Ag 、 Au 、 Ti 、 In 、 Cu 、 Cr 、 Fe 、 Zn 、 Sn 、 Ta 、 W 、 Pb 等の金属、 PdO 、 SnO_2 、 In_2O_3 、 PbO 、 Sb_2O_3 等の酸化物、 HfB_2 、 ZrB_2 、 LaB_6 、 CeB_6 、 YB_4 、 Gd_2B_4 等の硼化物、 TiC 、 ZrC 、 HfC 、 TaC 、 SiC 、 WC などの炭化物、 TiN 、 ZrN 、 HfN 等の窒化物、 Si 、 Ge 等の半導体、カーボン等が挙げられる。

【0045】導電性膜3には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は、素子電極4、5へのステップカバレッジ、素子電極4、5間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定される。この導電性膜3の膜厚は、好ましくは数 \AA から数百 nm であり、その抵抗値 R_s が、 $10^2 \sim 10^7 \Omega/\square$ の抵抗値を示す膜厚で形成したものが好ましく用いられる。なお R_s は、幅が w で長さが1の薄膜の、長さ方向に測定した抵抗 R を、 $R = R_s(1/w)$ と置いたときの値である。上記抵抗値を示す膜厚はおよそ5 nm から50 nm の範囲にあり、この膜厚範囲において、それぞれの材料の薄膜は微粒子膜の形態を有している。ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造は、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態(いくつかの微粒子が集合し、全体として島状構造を形成している場合も含む)をとっている。微粒子の粒径は、数 \AA から

数百nmの範囲、好ましくは、1nmから20nmの範囲である。

【0046】なお、本明細書では頻繁に「微粒子」という言葉を用いるので、その意味について説明する。

【0047】小さな粒子を「微粒子」と呼び、これよりも小さなものを「超微粒子」と呼ぶ。「超微粒子」よりもさらに小さく、原子の数が数百個程度以下のものを「クラスター」と呼ぶことは広く行われている。

【0048】しかしながら、それぞれの境は厳密なものではなく、どの様な性質に注目して分類するかにより変化する。また「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中での記述はこれに沿ったものである。

【0049】例えば、「実験物理学講座14 表面・微粒子」(木下是雄 編、共立出版1986年9月1日発行)では、「本稿で微粒子と言うときにはその直径がだいたい2~3 μ m程度から10nm程度までとし、特に超微粒子というときは粒径が10nm程度から2~3nm程度までを意味することにする。両者を一括して単に微粒子と書くこともあってけっして厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が2個から数十~数百個程度の場合はクラスターと呼ぶ。」(195ページ 22~26行目)と記述されている。

【0050】付言すると、新技術開発事業団の“林・超微粒子プロジェクト”での「超微粒子」の定義は、粒径の下限はさらに小さく、次のようなものであった。

【0051】「創造科学技術推進制度の“超微粒子プロジェクト”(1981~1986)では、粒子の大きさ(径)がおおよそ1~100nmの範囲のものを“超微粒子”(ultra fine particle)と呼ぶことにした。すると1個の超微粒子はおおよそ100~10⁸個くらいの原子の集合体という事になる。原子の尺度でみれば超微粒子は大~巨大粒子である。」(「超微粒子-創造科学技術」林主税、上田良二、田崎明 編;三田出版 1988年 2ページ1~4行目) / 「超微粒子よりさらに小さいもの、すなわち原子が数個~数百個で構成される1個の粒子は、ふつうクラスターと呼ばれる」(同書2ページ12~13行目)。

【0052】上記のような一般的な呼び方をふまえて、本明細書において「微粒子」とは多数の原子・分子の集合体で、粒径の下限は数 \AA ~1nm程度、上限は数 μ m程度のものを指すこととする。

【0053】電子放出部2は、導電性膜3の一部に形成された高抵抗の亀裂により構成され、導電性膜3の膜厚、膜質、材料及び後述する通電フォーミングの手法等に依存したものとなる。かかる亀裂幅は一律で50nm以下である。亀裂幅の測定は、電子顕微鏡により亀裂を電子放出部全長にわたって観察し、電子放出部に沿って、1 μ m毎に測定点を決め、各部で亀裂の幅を測定す

る。そして、本明細書において『亀裂幅が一律である』とは、全測定点の70%以上の点における測定値が、ある中心値の上下20%以内に収まっていることを意味する。また、電子放出部全体について『亀裂幅』という場合は、上記の中心値を意味する。

【0054】電子放出部2の内部には、数 \AA から数十nmの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性膜3を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部2及びその近傍の導電性膜3には、後述する活性化工程を経た場合、その活性化工程を行った気相中に含まれる一部あるいは全ての元素からなる単体物質及び化合物を有する場合もある。具体的には、炭素及び/又は炭素化合物あるいは金属及び/又は金属化合物を有する。尚、電子放出部2の位置は、図1に限るものではない。

【0055】本発明の電子放出素子においては、電子放出部2における電圧印加相当長が一律で5nm以下であることが好ましい。電圧印加相当長とは、電子放出部2において実質的に電圧が印加される領域の長さを示すもので、該領域では、素子電極に印加した電圧の大部分が印加され、電圧降下が生じている。この電圧印加相当長は、次のようにして測定される。

【0056】まず、電子顕微鏡に、本発明の電子放出素子を素子電極に電圧を印加できる状態で設置する。電子顕微鏡には、測定環境を超高真空中に保持するために、特に、オイルフリーの超高真空系のポンプが付属されており、その測定環境は、10⁻⁴Pa以下の圧力である。電子顕微鏡に付属の電子放出素子から出射した電子は、加速され、本発明の電子放出素子の電子放出部に照射されて2次電子を発生させ、電子放出部の電位に応じて、2次電子像として観測される。低電位側では、発生した2次電子が2次電子検出器に入射し、2次電子像として白く表れる。一方、高電位側では、電子放出部近傍に形成される電界のため、2次電子検出器に到達する電子が少なくなり、2次電子像としては、黒く表れる。この原理に基づけば、2次電子像を観測すれば、電子放出部の電位がわかることになる。

【0057】図22(a)は、後述する実施例及び比較例の電子放出素子に電圧を印加したときの、電子放出部の電子顕微鏡像の2次電子像を模式的に表した図である。本発明の電子放出素子への印加電圧は、該素子からの電子の放出が無視できる電圧、すなわち、図6に示す放出電流の閾値電圧V_{th}(詳しくは後述する)以下で、例えば1~4.0Vである。この電圧V_{th}以上となると、本発明の電子放出素子からの放出電流が2次電子検出器に入射し、電子放出部の電位が反映しなくなる。図22(a)において、右側は、高電位側であり、左側は、低電位側である。2次電子像を観測すると、電子放出部2の低電位側では白く、高電位側では黒い像が表れ

ている。この2次電子像の白、黒の濃淡度を測定しても、電圧の印加されている部分がわかるが、特に、素子への印加電圧状態を前述の状態と逆転させて2次電子像を撮影し、2つの像を重ね合わせると、電子放出部のうち特に電圧の印加されている部分が容易にわかるので、説明する。図22(b)は、図22(a)と逆の電位を本発明の電子放出素子に印加し、図22(a)と同じ部位を観測したものである。両図を重ね合わせたものが、図22(c)である。図22(c)において、黒い2次電子像141間の白い領域142が、素子に実効的に電圧が印加されている部分であり、この領域の長さ ΔL を測り、電子顕微鏡の倍率から実際の長さを算出する。実際の測定は、電子放出部全長にわたって、前述の亀裂幅の場合と同様に、電子放出部に沿って、1 μm 毎に測定点を決め、各部で ΔL を測定する。そして、本明細書において『電圧印加相当長が一樣である』とは、全測定点の70%以上の点における測定値が、ある中心値の上下20%以内に収まっていることを意味する。また、電子放出部全体について『電圧印加相当長』という場合は、上記の中心値を意味する。尚、2次電子像の黒く見える部分が、部分的に欠落している場合には、その部分を除いて、同様な測定により電圧印加相当長を求めた。

【0058】次に、垂直型の表面伝導型電子放出素子について説明する。

【0059】図2は、本発明の垂直型の表面伝導型電子放出素子の一構成例を示す模式図であり、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。21は段差形成部である。基板1、素子電極4及び5、導電性膜3、電子放出部2は、前述した平面型表面伝導型電子放出素子の場合と同様の材料で構成することができる。段差形成部21は、真空蒸着法、印刷法、スパッタ法等で形成された SiO_2 等の絶縁性材料で構成することができる。段差形成部21の膜厚は、先に述べた平面型の表面伝導型電子放出素子の素子電極間隔 L に対応し、数百nmから数百 μm の範囲とすることができる。この膜厚は、段差形成部の製法、及び、素子電極間に印加する電圧を考慮して設定されるが、数 μm から数十 μm の範囲が好ましい。

【0060】導電性膜3は、素子電極4及び5と段差形成部21作製後に、該素子電極4、5の上に積層される。電子放出部2は、図2においては、段差形成部21に形成されているが、作成条件、フォーミング条件等に依存し、形状、位置ともこれに限られるものではない。

【0061】図1に示した構成の本発明の表面伝導型電子放出素子を例に、図3の製造工程図に基づいてその製造方法の一例を以下に説明する。尚、図3においても図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0062】1) 絶縁性基板1を洗剤、純水及び有機溶剤等を用いて十分に洗浄した後、真空蒸着法、スパッタ

法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板1上に素子電極4、5を形成する(図3(a))。

【0063】2) 素子電極4、5を設けた基板1上に、有機金属溶液を塗布して、有機金属膜を形成する。有機金属溶液には、前述の導電性膜3の材料の金属を主元素とする有機化合物の溶液を用いることができる。有機金属膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングし、金属酸化物からなる導電性膜3を形成する(図3(b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性膜3の形成法はこれに限られるものではなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピンナー法等を用いることもできる。

【0064】3) 続いて、フォーミング工程を施す。素子電極4、5間に、不図示の電源より通電すると、導電性膜3には局所的に破壊、変形もしくは変質等の構造の変化した部位が形成される。該部位が電子放出部2を構成する(図3(c))。

【0065】ここでは、導電性膜3の凝集を促進するガスを含む雰囲気中で通電フォーミングする場合を説明する。

【0066】フォーミング処理のために素子に印加する電圧は、パルス電圧が好ましい。パルスの形状としては、例えば図23(a)に示すような波高値が一定の三角波パルスや、図23(b)に示すような波高値の漸増する三角波パルスを用いることができる。

【0067】図23(a)の形状のパルスの場合、例えばパルス幅 T_1 を1 μs 〜10ms、パルス間隔 T_2 を10 μs 〜100ms程度とし、波高値を適宜選択して、数秒から数十分印加する。図23(b)の形状のパルスの場合、 T_1 、 T_2 は上記と同様とし、波高値を徐々に増加させながら印加する。

【0068】通電フォーミング処理の終了は、パルスとパルスの間に、導電性膜3の破壊、変形もしくは変質を引き起こさない程度の電圧パルスを印加し、素子に流れる電流を測定して検知することができる。例えば、0.1V程度の電圧印加により素子に流れる電流を測定し、抵抗値を求めて、1M Ω を越えた時点で通電フォーミングを終了するのが好ましい。

【0069】導電性膜3の凝集を促進させるガスとしては、導電性膜3が金属酸化物よりなる場合は、還元性を有する物質が使用可能であり、 H_2 、CO等の他、メタン、エタン、エチレン、プロピレン、ベンゼン、トルエン、メタノール、エタノール、アセトンなどの有機物質のガスも効果がある。これは、還元により導電性膜を構成する物質が金属酸化物から金属に変化する際、凝集を伴うからであると思われる。一方、導電性膜3が金属より構成される場合は、当然還元に伴う凝集は起こらないので、COやアセトン等は凝集を促進する効果を示さな

13

いが、 H_2 はこの場合でも凝集を促進する効果を示す。

【0070】上記のような雰囲気中で通電フォーミング処理を行うと、必要な電力は従来のように真空中で同様な処理を行った場合に比べ、数十%低下させることができる。これは、従来の方法では、素子に流れる電流により発生するジュール熱により、導電性膜3の温度が上昇し、これにより局所的な破壊、変形ないし変質が生じ、電子放出部2が形成されていたのに対し、上記本発明の方法では、導電性膜の凝集を促進する物質により、導電性膜の局所的破壊、変形ないし変質が促進され、処理に必要な電力を低下させる結果となったものと推測される。

【0071】凝集を促進させるガスの好ましい圧力は、ガスの種類、導電性膜3の材質、印加する電圧パルスの波形などの条件により異なる。圧力が比較的低い場合には、パルス波高値の漸増する電圧パルスの印加によりフォーミング処理を行うとき、処理に必要な電力を低下させる効果が現れる。一方、圧力が高い場合には、パルス波高値が一定の電圧パルスを印加することによって、亀裂幅を均一にし、且つリーク電流の発生を防ぐ効果を得ることができる。

【0072】また、導電性膜3の材質が比較的還元されやすい金属酸化物である場合には、複数の素子进行处理するとき、それぞれの導電性膜の抵抗値にバラツキがあってもこれに起因する電子放出特性のバラツキを抑制する効果が期待される。すなわち、金属酸化物よりなる導電性膜に上記雰囲気中で電流を流したとき、発熱による温度上昇のため還元が起り、導電性膜の抵抗値が低下する。このとき、素子に印加する電圧パルスの波高値を一定に保持しておくと、導電性膜に流れる電流は増加し、発熱量も増加する。そして、導電性膜の初めの抵抗値が素子毎に異なっている、電子放出部の形成が起こるときの発熱量はどの素子でも概略同じ程度と考えられるため、同じ条件のパルス電圧を印加しておけば、導電性膜の抵抗値が同じ値まで低下したところで電子放出部の形成が起こることになる。このため、どの素子でもほぼ同じ条件で電子放出部の形成が行われ、電子放出特性のバラツキが抑制される。

【0073】4) フォーミングを終えた素子には活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により、素子電流 I_f 、放出電流 I_o が著しく変化する工程である。

【0074】活性化工程は、例えば、有機物質のガスを含有する雰囲気中で、素子にパルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質の

14

ガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため、場合に依り適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン酸、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなど C_nH_{2n+2} で表される飽和炭化水素、エチレン、プロピレンなど C_nH_{2n} 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流 I_f 、放出電流 I_o が、著しく変化ようになる。

【0075】なお、適当な蒸気圧を有する金属化合物を含有する雰囲気中で、活性化処理を行うことにより、当該金属を素子上に堆積させ同様の効果を得ることもできる。金属化合物としては、フッ化物、塩化物、臭化物、ヨウ化物等の金属ハロゲン化合物、メチル化物、エチル化物、ベンジル化物などのアルキル金属類、アセチルアセトナート、ジビバノイルメタナート、ヘキサフルオロアセチルアセトナート等の金属 β -ジケトナート類、アリル錯体、シクロペンタジエニル錯体等の金属エニル錯体類、ベンゼン錯体等のアレーン錯体、金属カルボニル類、金属アルコキシド類など及びこれらの複合した化合物などを挙げることが出来る。本発明において、より好適な化合物の例として、 NbF_5 、 $NbCl_5$ 、 $Nb(C_5H_5)(CO)_4$ 、 $Nb(C_5H_5)_2Cl_2$ 、 OsF_4 、 $Os(C_3H_7O_2)_3$ 、 $Os(CO)_5$ 、 $Os_3(CO)_{12}$ 、 $Os(C_5H_5)_2$ 、 ReF_5 、 $ReCl_5$ 、 $Re(CO)_{10}$ 、 $ReCl(CO)_5$ 、 $Re(CH_3)(CO)_5$ 、 $Re(C_5H_5)(CO)_3$ 、 $Ta(C_5H_5)(CO)_4$ 、 $Ta(OC_2H_5)_5$ 、 $Ta(C_5H_5)_2Cl_2$ 、 $Ta(C_5H_5)_2H_3$ 、 WF_6 、 $W(CO)_6$ 、 $W(C_5H_5)_2Cl_2$ 、 $W(C_5H_5)_2H_2$ 、 $W(CH_3)_6$ 等が挙げられる。この場合、条件によっては、当該金属以外に炭素などの物質が被膜中に含有される場合もある。

【0076】活性化工程の終了判定は、素子電流 I_f と放出電流 I_o を測定しながら、適宜行うことができる。なお、パルス幅、パルス間隔、パルス波高値などは適宜設定される。

【0077】炭素及び炭素化合物とは、例えばグラファイト(いわゆるHOPG、PG、GCを包含するもので、HOPGはほぼ完全なグラファイト結晶構造、PGは結晶粒が20nm程度で結晶構造がやや乱れたもの、GCは結晶粒が2nm程度になり結晶構造の乱れがさらに大きくなったものを指す。)・非晶質カーボン(アモルファスカーボン及び、アモルファスカーボンと前記グ

ラファイトの微結晶の混合物を指す。)、炭化水素(C_nH_n で表される化合物、ないしこの他にN、O、Clなどの他の元素を有する化合物を含む。)であり、その膜厚は、50nm以下の範囲とするのが好ましく、30nm以下の範囲とすることがより好ましい。

【0078】5)このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質を排気する工程である。真空容器内の圧力は極力低くすることが必要で、 1.3×10^{-5} Pa以下が好ましく、さらには 1.3×10^{-6} Pa以下が特に好ましい。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブションポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。

【0079】安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質あるいは金属化合物が十分除去されていれば、圧力自体は多少上昇しても十分安定な特性を維持することが出来る。

【0080】このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物ないし金属の堆積を抑制でき、結果として素子電流 I_f 、放出電流 I_o が、安定する。

【0081】次に、本発明の電子放出素子の製造方法の別の一例を、以下に示す。

【0082】ここでの製造方法においても、製造方法のステップ1)及び2)は上述の製造方法と同様に行う。

【0083】3)本例においては、通電フォーミングのバルス電圧として図4(a)あるいは図4(b)に示す波形を用いる。

【0084】通電フォーミングは、バルス電圧の波高値を、例えば0.1Vステップずつ増加させながら電圧を印加し、導電性膜3が低抵抗化もしくは凝集を始める電圧 V_h までバルス波高値が達した後、一定時間 T_h 、例えば数秒から数十分電圧 V_h を保持しながらバルス印加することで行う。あるいは、 V_h の値が予め十分な精度で求められている場合には、バルス波高値を初めから V_h に設定し、一定時間の保持を行っても良い。

【0085】このように、電圧 V_h で一定時間 T_h 保持することで、導電性膜3の一部に導電性膜材料が凝集した微粒子からなる不連続膜の領域を徐々に形成することができる。この間、導電性膜3を含む素子電極4、5間の抵抗値は高抵抗に向かい、十分に抵抗値が高抵抗に達した状態でフォーミング処理を終了する。また、 T_h の時間保持する間に抵抗値が十分に高抵抗に達しない場合には、更に、バルス幅を大きくしてバルス印加して高抵

抗化を進め、フォーミングを終了させる方法(図4(a))と、バルス波高値を再び増加させて高抵抗化を進め、フォーミングを終了させる方法(図4(b))、そしてこの両方を併用して、バルス幅を広げて更にバルス波高値を増加させる方法(不図示)がある。このようにして、導電性膜3の一部に50nm以下の幅の亀裂からなる電子放出部2を形成できる。この点に関して更に説明する。

【0086】前述の特願平6-141670号の明細書に記載されたバルス波高値を漸増させる方法を、PdO微粒子よりなる導電性膜を有する素子を真空中でフォーミング処理する工程に適用した場合、素子の抵抗値は、バルス波高値を増加させるにつれて、概略図24に模式的に示したように変化し、バルス波高値が V_{form} に達した時点で、フォーミング処理が完了する。すなわち、素子電極間にバルス電圧を印加し、導電性膜に電流を流すことにより、発熱が起こり、導電性膜の温度が上昇する。この発熱量が大きければ導電性膜の一部が一挙に変形・変質され、抵抗値が大きくなる。一方、発熱量がそれほど大きくない場合には、導電性膜の材質が徐々に凝集を起こす。該導電性膜の材質が、PdOの様に比較的容易に還元される金属酸化物の場合には、還元が同時に進行する。

【0087】図24で、バルス波高値が V_s を超えた後、素子の抵抗値が一旦減少してから上昇に転ずるのは、還元による抵抗の低下と、凝集により電流のパスが切断されて抵抗が上昇する効果との競合によるものと思われる。導電性膜が、金属により形成されている場合には、抵抗の低下は金属酸化物の場合よりも小さくなるが、同様の振る舞いをする。この場合の抵抗の低下の要因は明確にはわからないが、導電性膜を構成する金属微粒子あるいは金属の結晶粒の間の接触抵抗が小さくなるためではないかと推測している。いずれにしても、バルス波高値が V_s 以上になると、導電性膜の材質が凝集を起こすものと考えられる。 V_s の値自体は、印加するバルスのバルス幅、バルス間隔、導電性膜の抵抗及び材質などに依存するものである。

【0088】すなわち、本発明において、導電性膜3が低抵抗化もしくは凝集を始める電圧 V_h とは、上記 V_s より大きく、且つ V_{form} よりも十分に小さな電圧値である。

【0089】本発明においては、図4に示した通電フォーミングのバルス電圧波形において、バルス幅 T_1 は例えば1 μ 秒~10m秒、バルス間隔 T_2 は100 μ 秒~数秒、一定時間 T_h 後のバルス電圧のバルス幅 T_1' は10 μ 秒~1秒であり、 V_h は導電性膜3の材料及び形態、 T_1 、 T_2 等により適宜設定されるが、電圧を単調に増加させながら電圧を印加していく従来のフォーミング処理で観測されるフォーミング電圧 V_{form} 、即ち素子抵抗が急激に高抵抗化する電圧に対して、0.数%~数十

%低い電圧に設定される。パルス幅 T_1 に対しパルス間隔 T_2 は十分に長いことが好ましく、 $T_2/T_1 \geq 5$ 、望ましくは $T_2/T_1 \geq 10$ 、さらに望ましくは $T_2/T_1 \geq 100$ である。尚、印加する電圧波形は、図示される矩形波に限定されるものではなく、三角波等の所望の波形を用いることができる。 V_h の適切な値は、 T_1 、 T_2 の値はもちろんのこと、パルス波形が矩形波、三角波などのいずれであるかなどによっても影響を受けるため、これらの条件に合わせて設定される。

【0090】また、上記のフォーミング工程は、導電性膜3の凝集を促進するガスを含む雰囲気中で行うことができる。

【0091】この後、活性化工程及び安定化工程を、先述のステップ4)及び5)と同様に行う。

【0092】上述した工程を経て得られた本発明の電子放出素子の基本特性について、図5、図6を参照しながら説明する。

【0093】図5は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図5においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0094】図5において、55は真空容器であり、56は排気ポンプである。真空容器55内には電子放出素子が配されている。また、51は電子放出素子に素子電圧 V_f を印加するための電源、50は素子電極4、5間の導電性膜3を流れる素子電流 I_f を測定するための電流計、54は素子の電子放出部2より放出される放出電流 I_e を捕捉するためのアノード電極、53はアノード電極54に電圧を印加するための高圧電源、52は電子放出部2より放出される放出電流 I_e を測定するための電流計である。一例として、アノード電極54の電圧を1KV~10KVの範囲とし、アノード電極54と電子放出素子との距離Hを2~8mmの範囲として測定を行うことができる。

【0095】真空容器55内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。

【0096】排気ポンプ56は、ターボポンプ、ロータリーポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とから構成されており、適宜切り替えて使用する。ここに示した電子放出素子基板を配した真空処理装置の全体は、不図示のヒーターにより加熱できるようになっている。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

【0097】図6は、図5に示した真空処理装置を用いて測定された放出電流 I_e 及び素子電流 I_f と、素子電圧 V_f との関係を模式的に示した図である。図6において

は、放出電流 I_e が素子電流 I_f に比べて著しく小さいので、任意単位で示している。尚、縦・横軸ともリニアスケールである。

【0098】図6からも明らかなように、本発明の表面伝導型電子放出素子は、放出電流 I_e に関して次の3つの特徴的な性質を有する。

【0099】即ち、第1に、本素子はある電圧（閾値電圧と呼ぶ；図6中の V_{th} ）以上の素子電圧を印加すると急激に放出電流 I_e が増加し、一方閾値電圧 V_{th} 以下では放出電流 I_e が殆ど検出されない。つまり、放出電流 I_e に対する明確な閾値電圧 V_{th} を持った非線形素子である。

【0100】第2に、放出電流 I_e が素子電圧 V_f に単調増加依存するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0101】第3に、アノード電極54（図5参照）に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。つまり、アノード電極54に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0102】以上の説明より理解されるように、本発明の表面伝導型電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0103】図6においては、素子電流 I_f が素子電圧 V_f に対して単調増加する（以下、「MI特性」という。）例を示したが、素子電流 I_f が素子電圧 V_f に対して電圧制御型負性抵抗特性（以下、「VCNR特性」という。）を示す場合もある（不図示）。これらの特性は、前述の工程を制御することで制御できる。

【0104】本発明の電子放出素子の応用例について以下に述べる。本発明の表面伝導型電子放出素子を複数個基板上に配列し、例えば電子源あるいは、画像形成装置が構成できる。

【0105】電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動する梯子状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0106】本発明の表面伝導型電子放出素子については、前述した通り3つの特性がある。即ち、表面伝導型

電子放出素子からの放出電子は、閾値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、閾値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子にパルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量を制御できる。

【0107】以下この原理に基づき、本発明の電子放出素子を複数配して得られる電子源基板について、図7を用いて説明する。図7において、71は電子源基板、72はX方向配線、73はY方向配線である。74は表面伝導型電子放出素子、75は結線である。尚、表面伝導型電子放出素子74は、前述した平面型あるいは垂直型のどちらであってもよい。

【0108】m本のX方向配線72は、 $D \times 1, D \times 2, \dots, D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、幅は適宜設計される。Y方向配線73は、 $D_y 1, D_y 2, \dots, D_y n$ のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向配線73との間には、不図示の層間絶縁層が設けられており、両者を電気的に分離している（m、nは、共に正の整数）。

【0109】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、X方向配線72を形成した基板71の全面或は一部に所望の形状で形成され、特に、X方向配線72とY方向配線73の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。X方向配線72とY方向配線73は、それぞれ外部端子として引き出されている。

【0110】表面伝導型電子放出素子74を構成する一対の素子電極（不図示）は、それぞれm本のX方向配線72とn本のY方向配線73に、導電性金属等からなる結線75によって電気的に接続されている。

【0111】配線72と配線73を構成する材料、結線75を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、また夫々異なってもよい。これらの材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0112】X方向配線72には、X方向に配列した表面伝導型電子放出素子74の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線73には、Y方向に配列した表面伝導型電子放出素子74の各列を入力信号に応じて変調するための、不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加さ

れる走査信号と変調信号の差電圧として供給される。

【0113】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0114】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図8と図9及び図10を用いて説明する。図8は、画像形成装置の表示パネルの一例を示す模式図であり、図9は、図8の画像形成装置に使用される蛍光膜の模式図である。図10は、NTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【0115】図8において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は支持枠であり、該支持枠82には、リアプレート81、フェースプレート86がフリットガラス等を用い、例えば大気中あるいは窒素中で、400～500℃の温度範囲で10分間以上焼成することで封着して、外囲器88が構成されている。

【0116】74は、図1に示したような電子放出素子である。72、73は、表面伝導型電子放出素子の一対の素子電極と接続されたX方向配線及びY方向配線である。

【0117】外囲器88は、上述の如く、フェースプレート86、支持枠82、リアプレート81で構成される。リアプレート81は主に基板71の強度を補強する目的で設けられるため、基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェースプレート86、支持枠82及び基板71で外囲器88を構成してもよい。一方、フェースプレート86とリアプレート81の間に、スペーサーと呼ばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0118】図9は、蛍光膜を示す模式図である。蛍光膜84は、モノクロームの場合は蛍光体のみで構成することができる。カラーの蛍光膜の場合は、蛍光体の配列により、ブラックストライプ（図9（a））あるいはブラックマトリクス（図9（b））等と呼ばれる黒色導電材91と蛍光体92とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜84における外光反射によるコントラストの低下を抑制することにある。黒色導電材91の材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0119】ガラス基板83に蛍光体を塗布する方法

は、モノクローム、カラーによらず、沈澱法や印刷法等が採用できる。蛍光膜84の内面側には、通常メタルバック85が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射することにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常、「フィリミング」と呼ばれる。）を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0120】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外面側に透明電極（不図示）を設けてもよい。

【0121】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0122】外囲器88の封着を行った後、電子放出素子の通電フォーミング処理を行う。外囲器内を排気装置により十分排気した後、必要に応じて所望のガスを外囲器内に導入し、通常、電子源の各素子行のうちの一つを選択し、これに属する電子放出素子に同時にパルス電圧を印加する。パルス電圧のパルス幅 T_1 、パルス間隔 T_2 、波高値は、単体の素子のフォーミング処理に用いるものと同様である。なお、各素子行へのパルス電圧の印加の方法としては、各行毎にフォーミング処理を完了してから、次の素子行の処理に移り、これを繰り返して、すべての素子行についてフォーミング処理を行っても良いし、パルス発生手段と電子源との間に素子行選択手段を設け、1乃至数パルス毎に選択する素子行を変えて複数の素子行のフォーミング処理を同時に行っても良い。パルス幅 T_1 に比べ、パルス間隔 T_2 が相当に長いことから、後者の方法は、フォーミング処理のための時間を大幅に短縮するために有効である。なお、後者の処理においては、電子源のすべての素子行を同時に処理しても良いし、全体を複数の素子行からなるいくつかのブロックに分割し、各ブロック毎に処理を行っても良く、電子源の大きさや処理に用いるパルスの形状などの条件に応じて適宜選択する。

【0123】なお、導電性膜の材質が比較的還元されやすい金属酸化物であり、 H_2 などの凝集を促進するガスを含有する雰囲気中でフォーミング処理を行う場合には、上記の後者の方法は、顕著な効果を示す。すなわち、このような雰囲気中では、導電性膜を構成する金属酸化物の還元は、電流を流して発熱を生じさせなくても徐々に進行する場合がある。このとき、一素子行のフォーミング処理を終了してから、次の素子行の処理を行うという手順をとると、後から処理する素子行に属する電子放出素子の導電性膜の抵抗値は、前の素子行により異な

ってしまい、その結果電子放出特性が素子行によって異なってしまう場合がある。しかしながら、上述のように1乃至数パルス毎に選択する素子行を切り替えて処理する方法によれば、すべての素子行がほぼ同時に処理されるので、このような問題を避けることができる。

【0124】外囲器88内は、前述の安定化工程と同様に、適宜加熱しながら、イオンポンプ、ソーブションポンプ等のオイルを使用しない排気装置により不図示の排気管を通じて排気し、 10^{-5} Pa程度の真空度の有機物質の十分に少ない雰囲気にした後、封止が成される。外囲器88の封止後の真空度を維持するために、ゲッター処理を行うこともできる。これは、外囲器88の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器88内の所定の位置に配置されたゲッター（不図示）を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば 1.3×10^{-3} Paないしは 1.3×10^{-5} Paの圧力を維持するものである。ここで、表面伝導型電子放出素子のフォーミング処理以降の工程は適宜設定できる。

【0125】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図10を用いて説明する。図10において、101は画像表示パネル、102は走査回路、103は制御回路、104はシフトレジスタ、105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、 V_x 及び V_a は直流電圧源である。

【0126】表示パネル101は、端子 $D \times 1$ 乃至 $D \times m$ 、端子 $D y 1$ 乃至 $D y n$ 及び高压端子87を介して外部の電気回路と接続している。端子 $D \times 1$ 乃至 $D \times m$ には、表示パネル101内に設けられている電子源、即ち、 m 行 n 列の行列状にマトリクス配線された表面伝導型電子放出素子群を1行（ n 素子）づつ順次駆動する為の走査信号が印加される。端子 $D y 1$ 乃至 $D y n$ には、前記走査信号により選択された1行の表面伝導型電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高压端子87には、直流電圧源 V_a より、例えば10KVの直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0127】走査回路102について説明する。同回路は、内部に m 個のスウィッチング素子（図中、 S_1 乃至 S_m で模式的に示している）を備えたものである。各スウィッチング素子は、直流電圧源 V_x の出力電圧もしくは0[V]（グラウンドレベル）のいずれか一方を選択し、表示パネル101の端子 $D \times 1$ 乃至 $D \times m$ と電気的に接続される。各スウィッチング素子 S_1 乃至 S_m は、制御回路103が出力する制御信号 T_{scan} に基づいて動作す

23

るものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0128】直流電圧源 V_x は、本例の場合には表面伝導型電子放出素子の特性（電子放出閾値電圧）に基づき、走査されていない素子に印加される駆動電圧が電子放出閾値電圧以下となるような一定電圧を出力するように設定されている。

【0129】制御回路103は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号 T_{sync} に基づいて、各部に対して T_{scan} 、 T_{sft} 及び T_{mry} の各制御信号を発生する。

【0130】同期信号分離回路106は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路106により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上 T_{sync} 信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は、便宜上DATA信号と表した。このDATA信号は、シフトレジスタ104に入力される。

【0131】シフトレジスタ104は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路103より送られる制御信号 T_{sft} に基づいて動作する（即ち、制御信号 T_{sft} は、シフトレジスタ104のシフトクロックであると言い換えてもよい。）。シリアル/パラレル変換された画像1ライン分のデータ（電子放出素子 n 素子分の駆動データに相当）は、 I_{d1} 乃至 I_{dn} の n 個の並列信号として前記シフトレジスタ104より出力される。

【0132】ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路103より送られる制御信号 T_{mry} に従って適宜 I_{d1} 乃至 I_{dn} の内容を記憶する。記憶された内容は、 $I_{d'1}$ 乃至 $I_{d'n}$ として出力され、変調信号発生器107に入力される。

【0133】変調信号発生器107は、画像データ $I_{d'1}$ 乃至 $I_{d'n}$ の各々に応じて、表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子 D_{y1} 乃至 D_{yn} を通じて表示パネル101内の表面伝導型電子放出素子に印加される。

【0134】前述したように、本発明を適用可能な電子放出素子は放出電流 I_e に関して以下の基本特性を有している。即ち、電子放出には明確な閾値電圧 V_{th} があり、 V_{th} 以上の電圧が印加された時のみ電子放出が生じる。電子放出閾値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことか

24

ら、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値電圧以下の電圧を印加しても電子放出は生じないが、電子放出閾値電圧以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 V_m を変化させることにより、出力電子ビームの強度を制御することが可能である。また、パルスの幅 P_w を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0135】従って、入力信号に応じて電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器107としては、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの波高値を変調できるような電圧変調方式の回路を用いることができる。パルス幅変調方式を実施するに際しては、変調信号発生器107として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0136】シフトレジスタ104やラインメモリ105は、デジタル信号式のものでもアナログ信号式のものでも採用できる。画像信号のシリアル/パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0137】デジタル信号式を用いる場合には、同期信号分離回路106の出力信号DATAをデジタル信号化する必要があるが、これには同期信号分離回路106の出力部にA/D変換器を設ければ良い。これに関連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路等を付加する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0138】アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプ等を用いた増幅回路を採用でき、必要に応じてレベルシフト回路等を付加することもできる。パルス幅変調方式の場合には、例えば電圧制御型発振回路（VCO）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0139】このような構成をとり得る本発明を適用可能な画像形成装置においては、各電子放出素子に、容器

外端子Dx1乃至Dxm、Dy1乃至Dynを介して電圧を印加することにより、電子放出が生じる。高压端子87を介してメタルバック85あるいは透明電極（不図示）に高压を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0140】ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限られるものではなく、PAL、SECAM方式等の他、これらよりも多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用できる。

【0141】次に、前述の梯子型配置の電子源及び画像形成装置について、図11及び図12を用いて説明する。

【0142】図11は、梯子型配置の電子源の一例を示す模式図である。図11において、110は電子源基板、111は電子放出素子である。112は、電子放出素子111を接続するための共通配線D1～D10であり、これらは外部端子として引き出されている。電子放出素子111は、基板110上に、X方向に並列に複数個配置されている（これを素子行と呼ぶ）。この素子行が複数個配置されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出閾値以上の電圧を印加し、電子ビームを放出させたくない素子行には、電子放出閾値以下の電圧を印加する。各素子行間に位置する共通配線D2～D9は、例えばD2とD3、D4とD5、D6とD7及びD8とD9を一体の同一配線とすることもできる。

【0143】図12は、梯子型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するための開口、D1乃至Dmは容器外端子、G1乃至Gnはグリッド電極120と接続された容器外端子である。110は各素子行間の共通配線を同一配線とした電子源基板である。図12においては、図8、図11に示した部位と同じ部位には、これらの図に付したのと同じ符号を付している。ここに示した画像形成装置と、図8に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0144】図12においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、表面伝導型電子放出素子111から放出された電子ビームを変調するためのものであり、梯子型配置の素子行と直交して設けられたス

トライブ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリッド電極の形状や配置位置は、図12に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッド電極を表面伝導型電子放出素子の周囲や近傍に設けることもできる。

【0145】容器外端子D1乃至Dm及びグリッド容器外端子G1乃至Gnは、不図示の制御回路と電気的に接続されている。

【0146】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）して行くのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0147】以上説明した本発明を適用可能な画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0148】

【実施例】以下実施例に基づき、本発明を説明する。なお、本発明はこれらの実施例に限定されるものではなく、本発明の目的が達成される範囲内で、各要素の置き換えや設計変更のなされたものを包含する。

【0149】〔実施例1、2及び比較例1〕本実施例における表面伝導型電子放出素子の構成は、図1(a)、(b)に模式的に示したものと同様である。

【0150】以下に、図3を用いてその製造方法について説明する。

【0151】工程-a

清浄化した青板ガラス上に厚さ0.5 μ mのシリコン酸化膜をスパッタリング法により形成し、基板1とした。この基板1上に、フォトレジスト（RD-2000N-41；日立化成社製）を塗布、ベークングしてフォトレジスト層を形成した後、フォトリソグラフィー技術により素子電極4、5の形状に対応する開口を有するレジストマスクを形成した。

【0152】次いで、真空蒸着法により、厚さ5nmのTi、厚さ100nmのNiを順次堆積し、レジストパターンを有機溶剤で溶解し、リフトオフにより素子電極4、5を形成した（図3(a)）。なお、素子電極の間隔Lは10 μ m、素子電極幅W1は300 μ mである。

【0153】工程-b

厚さ100nmのCr膜を真空蒸着により形成後、このCr膜をフォトリソグラフィー技術によりパターンニングし、導電性膜3の形状に対応する開口を有するCrマスクを形成した。これに有機Pdの溶液（ccp4230；奥野製薬（株）製）をスピナーによりコートし、大気中で、300℃、10分間の焼成処理を行った。

【0154】工程-c

Crマスクをウェットエッチングして除去、リフトオフにより所望の形状の導電性膜3を形成した(図3(b))。

【0155】工程-d

上述の素子を、図5の測定評価装置の真空容器55内に設置し、排気装置56により真空容器55内を排気した後、 N_2 98%- H_2 2%の混合ガスを該真空容器55内に導入した。真空容器内の圧力は、実施例1では 1.3×10^{-3} Paとし、実施例2では 1.3×10^{-2} Paとした。また、比較例1では真空容器内を圧力が 1.3×10^{-3} Paとなるまで排気した後、上記混合ガスの導入は行わなかった。以上の実施例1、2及び比較例1の各素子に、素子電圧 V_f を印加するための電源51により、素子電極4、5間にパルス電圧を印加し、フォーミング処理を行い、導電性膜3に電子放出部2を形成した。

*

	I_{form} (mA)	V_{form} (V)	P_{form} (mW)
実施例1	8.0	9.8	78
実施例2	7.1	9.9	71
比較例1	11.9	10.8	129

【0160】工程-e

引き続き活性化処理を行った。このときの真空容器55内の圧力は、 1.3×10^{-3} Paであった。電子放出素子に、波高値14Vの三角波パルスを20分間印加することにより活性化処理を行った。

【0161】工程-f

続いて安定化処理を行った。排気装置56をソーブションポンプとイオンポンプからなる超高真空用排気装置に替え、真空容器55及び素子を 120°C に加熱し約10時間保持して、真空容器55内の圧力を十分低くした。

【0162】以上のように作製した電子放出素子の特性を、引き続き上述の図5の真空処理装置を用いて測定した。なお、アノード電極54と素子との距離Hを5mmとし、高圧電源53によりアノード電極54に1KVを印加した。なお、測定時の真空容器55内の圧力は、 4.3×10^{-5} Paであった。

【0163】素子電極2、3間に波高値14Vのパルス電圧を印加した測定では、いずれの素子においても素子電流 $I_f = 1.0$ mA、放出電流 $I_e = 0.9$ μ A程度の値が得られた。

※

	I_{form} (mA)	V_{form} (V)	P_{form} (mW)
実施例3	3.5	5.2	18
比較例2	10.0	6.0	60

【0169】続いて、実施例1、2と同様に活性化工程、安定化工程を施し、電子放出特性を測定したところ、

★ろ、実施例1、2と同様に良好な電子放出が行われることが確認された。

*【0156】ここで、上記フォーミング処理に用いたパルス電圧の波形は、図23(b)に示したような波高値の漸増する三角波パルスである。パルス幅 T_1 は1m秒、パルス間隔 T_2 は10m秒とした。

【0157】また、上記のパルスとパルスの間に、波高値0.1Vの矩形波パルスを挿入し、素子の抵抗値を測定し、これが1M Ω を越えたところでパルス電圧の印加をやめ、真空容器内を排気した。これにより電子放出部2が形成された(図3(c))。

【0158】上記の処理の際、素子に流れる最大の電流をフォーミング電流 I_{form} とし、その時の印加電圧をフォーミング電圧 V_{form} 、両者の積をフォーミングパワー P_{form} とする。上述の実施例1、2及び比較例1におけるこの3種類のパラメータを表1に示す。

【0159】

【表1】

※【0164】[実施例3及び比較例2] 本実施例における表面伝導型電子放出素子の構成は、素子電極間隔Lが2 μ mであることを除き、上記実施例1、2と同様である。実施例1、2の工程a~cと同様にして、基板1上に素子電極4、5と導電性膜3を形成した(図3(b))。

【0165】続いて、素子を、図5の測定評価装置の真空容器55内に設置し、排気装置56により真空容器55内を排気した後、アセトンを経真空容器55内に導入し、圧力を 1.3×10^{-2} Paとした。

【0166】続いて、実施例1、2と同様のパルス電圧を印加し、フォーミング処理を行い、導電性膜3に電子放出部2を形成した(図3(c))。また、比較例2では上記アセトンの導入は行わず、真空容器内を排気し圧力を 1.3×10^{-3} Pa以下に下げた後、同様にパルス電圧を印加してフォーミング処理を行った。

【0167】以上の実施例3及び比較例2における I_{form} 、 V_{form} 及び P_{form} の値を、表2に示す。

【0168】

【表2】

【0170】〔実施例4及び比較例3〕本実施例は、基板上に多数の表面伝導型電子放出素子を配置し、これら電子放出素子をマトリクス配線した電子源の製造方法に関する。

【0171】本実施例の電子源の一部の平面図を図13に示す。また、図中のA-A'断面図を図14に示す。但し、図13、図14で同じ符号で示したものは、同じ部材を示す。ここで71は基板、72はX方向配線（下配線とも呼ぶ）、73はY方向配線（上配線とも呼ぶ）、3は導電性膜、4と5は素子電極、131は層間絶縁層、132は素子電極4と下配線72との電気的接続のためのコンタクトホールである。

【0172】まず、本実施例の電子源の製造方法を、図15及び図16を用いて工程順に従って具体的に説明する。尚、以下に説明する工程-a~hは、それぞれ図15の(a)~(d)及び図16の(e)~(h)に対応する。

【0173】工程-a

清浄化した青板ガラス上に厚さ0.5 μ mのシリコン酸化膜をスパッタ法で形成した基板71上に、真空蒸着法により、厚さ5nmのCr、厚さ600nmのAuを順次積層した後、フォトレジスト(AZ1370;ヘキスト社製)をスピンナーにより回転塗布、ベークした後、フォトマスク像を露光、現像して、下配線72のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線72を形成した。

【0174】工程-b

次に、厚さ1.0 μ mのシリコン酸化膜からなる層間絶縁層131をRFスパッタ法により堆積した。

【0175】工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール132を形成するためのフォトレジストパターンを作り、これをマスクとして層間絶縁層131をエッチングしてコンタクトホール132を形成した。エッチングはCF₄とH₂ガスを用いたRIE(Reactive Ion Etching)法によった。

【0176】工程-d

その後、素子電極4、5と素子電極間ギャップLとなるべきパターンをフォトレジスト形成し、真空蒸着法により、厚さ5nmのTi、厚さ50nmのNiを順次堆積した。その後、フォトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔Lが10 μ m、素子電極幅W₁が300 μ mの素子電極4、5を形成した。

【0177】工程-e

素子電極4、5の上に上配線73のフォトレジストパターンを形成した後、厚さ5nmのTi、厚さ500nmのAuを順次真空蒸着により堆積し、リフトオフにより不要な部分を除去して、所望の形状の上配線73を形成した。

【0178】工程-f

素子電極間ギャップL及びこの近傍に開口を有するマスクにより、膜厚100nmのCr膜133を真空蒸着により堆積・パターニングし、その上に有機Pdの溶液(ccp-4230;奥野製薬(株)製)をスピンナーにより塗布、大気中で300℃、12分間の加熱焼成処理を行い、PdOの微粒子からなる導電性膜134を形成した。

【0179】工程-g

Cr膜133を酸エッチャントによりエッチングして、リフトオフにより導電性膜134の不要部分を除去して、所望のパターン形状を有する導電性膜3を形成した。この導電性膜3の膜厚は7nm、抵抗値Rsは2.1 $\times 10^4 \Omega/\square$ であった。

【0180】工程-h

全面にレジストを塗布し、マスクを用いて露光の後現像し、コンタクトホール132部分のみレジストを除去した。この後、真空蒸着により、厚さ5nmのTi、厚さ500nmのAuを順次堆積し、リフトオフにより不要の部分を除去することにより、コンタクトホール132を埋め込んだ。

【0181】以上の工程により、絶縁性基板71上に、下配線72、層間絶縁層131、上配線73、素子電極4、5、導電性膜3等を形成し、複数の導電性膜3が、下配線72と上配線73とでマトリクス配線された未フォーミングの電子源基板を得た。

【0182】次に、以上のようにして作製した未フォーミングの電子源基板を用いて画像形成装置を作製した。その作製手順を、図8及び図9を参照して以下に説明する。

【0183】まず、上記未フォーミングの電子源基板71をリアプレート81上に固定した後、基板71の5mm上方に、フェースプレート86(ガラス基板83の内面に画像形成部材であるところの蛍光膜84とメタルバック85が形成されて構成される。)を支持枠82を介して配置し、フェースプレート86、支持枠82、リアプレート81の接合部にフリットガラスを塗布し、大気中で400℃で10分間焼成することで封着した。なお、リアプレート81への基板71の固定もフリットガラスで行った。

【0184】画像形成部材であるところの蛍光膜84は、カラーを実現するために、ストライプ形状(図9(a)参照)の蛍光体とし、先にブラックストライプ91を形成し、その間隙部にスラリー法により各色蛍光体92を塗布して蛍光膜84を作製した。ブラックストライプ91の材料としては、通常よく用いられている黒鉛を主成分とする材料を用いた。

【0185】また、蛍光膜84の内面側にはメタルバック85を設けた。メタルバック85は、蛍光膜84の作製後、蛍光膜84の内面側表面の平滑化処理(通常、フ

イルミングと呼ばれる)を行い、その後、A1を真空蒸着することで作製した。

【0186】前述の封着を行う際、カラーの場合は各色蛍光体92と各表面伝導型電子放出素子74とを対応させなくてはならないため、十分な位置合わせを行った。

【0187】以上のようにして形成した真空容器(外囲器88)内を、排気管(不図示)を通じて排気装置にて排気し、該真空容器内の圧力を 1.3×10^{-3} Pa以下にした後、 N_2 98% - H_2 2%の混合ガスを真空容器内に導入し、圧力を 5×10^{-2} Paとした。

【0188】フォーミング処理のために各電子放出素子にパルス電圧を印加するための配線を、図21に模式的に示す。Y方向配線73は、外部端子Dy1~Dy_nを共通電極1401に接続することにより共通接続され、パルス発生器1402のグランド側の端子に接続される。X方向配線72は外部端子Dx1~Dx_mを介して制御スイッチング回路1403に接続されている(図では、 $m=20$ 、 $n=60$ の場合が示されている)。制御スイッチング回路1403は、各端子をパルス発生器1402またはグランドのいずれかに接続するもので、図はその機能を模式的に示したものである。

【0189】フォーミング処理は、スイッチング回路1403によりX方向の素子行を1行選択し、1パルス印加する毎に選択する素子行を切り替えて、すべての素子行を同時に処理する方法で行った。印加したパルス電圧は、実施例1、2と同様のものとした。また、比較例3として、上述のフォーミング処理の前まで同様の処理を行い、上述のフォーミング処理の工程で上記混合ガスの導入は行わず、真空容器内を 1.3×10^{-3} Pa以下の圧力に排気し、上記と同様のパルス電圧を印加してフォーミング処理したものを作製した。

【0190】続いて、活性化処理を行った。このとき真空容器内の圧力は、 2.7×10^{-3} Paであった。印加したパルスは、波高値14V、パルス幅30μ秒の三角波パルスで、上記フォーミングと同様に、X方向の行毎に行った。

【0191】活性化終了後、真空容器を加熱しながら排気し、真空容器内の圧力が 1.3×10^{-4} Pa以下になったところで、排気管(不図示)をガスバーナーで加熱して溶着して真空容器を封止し、さらに真空容器内の圧力を低く維持するため、高周波加熱によりゲッター処理を行った。

【0192】以上のようにして作製した画像形成装置を、単純マトリクス駆動により、各電子放出素子に順次電子放出を行わせ、各素子について I_e の値を測定し、 I_e の値の素子毎のバラツキを求めた。バラツキの幅は、本実施例の場合5%、比較例3の場合が15%であり、本実施例の方が明らかにバラツキが小さくなっていた。

【0193】これは、フォーミング処理を、凝集促進作

用を有する物質を含む雰囲気下で行うことにより、フォーミング処理に必要な電流が小さくてすみ、配線の抵抗による電圧降下が小さくなって、フォーミング時に各素子にかかる実効的な電圧のバラツキが小さくなって、電子放出部の形成が比較的一様な条件で行われたためではないかと推測している。

【0194】[実施例5及び比較例4]本実施例では、図1(a)、(b)に示した構成の表面伝導型電子放出素子を作製した。本実施例の製造方法について、以下に図3を用いて説明する。

【0195】工程-a

石英ガラスを、洗剤、純水及び有機溶剤により洗浄し、これを基板1とし、スパッタリング法により、素子電極材料として、50nmのPtを堆積した。堆積の際、素子電極の形状に対応する開口を有するマスクで基板1を覆うことにより、素子電極4、5を形成した(図3(a))。この時、素子電極の間隔Lは、3μmとした。

【0196】工程-b

真空蒸着法により、厚さ50nmのCr膜(不図示)を堆積、通常のフォトリソグラフィの手法により、導電性膜の形状に対応する開口部を形成してCrマスクとした。開口部の幅は100μmとした。

【0197】工程-c

有機Pdの溶液(ccp-4230; 奥野製薬(株)製)を塗布した後、大気中で310℃に加熱して焼成し、酸化パラジウム(PdO)を主成分とする微粒子(平均粒径5nm)からなる微粒子膜を形成した。膜厚は約6nmであった。この後、ウェットエッチングによりCrマスクを除去し、リフトオフにより所望のパターンを有する導電性膜3を形成した(図3(b))。導電性膜3の抵抗値は、 $R_s = 4.0 \times 10^4 \Omega/\square$ であった。

【0198】工程-d

素子を図5の真空処理装置の真空容器55内に設置し、排気ポンプ56にて排気し、真空容器55内を 1×10^{-3} Paの圧力とした。この後、素子に素子電圧 V_f を印加するための電源51より、素子電極4、5間にパルス電圧を印加し、フォーミング処理を行い、電子放出部2を形成した(図3(c))。

【0199】フォーミング処理に用いたパルス電圧の波形は、実施例5に対しては図4(a)に示した矩形波パルスで、当初パルス波高値は漸増し、 V_h に達したところで、時間 T_h の間、 V_h に保持した。パルス幅 T_1 は1m秒、パルス間隔 T_2 は100m秒、保持時間 T_h は10分とした。保持電圧 V_h は、実施例5-1では6V、実施例5-2では10V、実施例5-3では14V、実施例5-4では18Vとした。各条件毎に2個ずつの素子を処理した。パルス波高値を V_h に保持している間に、素子の抵抗は徐々に上昇し、素子に流れる電流は減少し

た。10分経過後、パルス幅 T_1 を5m秒に変更したところ、数パルス印加したところで、素子の抵抗値が1M Ω を越え、フォーミング処理を終了した。

【0200】比較例4の2個の素子に対しては、図19に示す矩形波パルスを印加してフォーミング処理を行った。尚、 $T_1=1$ m秒、 $T_2=10$ m秒とし、波高値は0Vから漸増させた。このとき、素子を流れる電流の値と、パルス波高値(電圧)は、図20のような関係を示した。電圧4.5Vまでは一定の抵抗値を示し、その後抵抗値が減少して、電圧6Vで最小の抵抗値を示した。その後、急激に増加に転じた。抵抗値が1M Ω を越えたところでフォーミング処理を終了した。

【0201】上記実施例5-1~5-4及び比較例4の素子の内、各1個を取り出し、電子顕微鏡に設置して電子放出部の観察を行った。

【0202】工程-e

上記の電子顕微鏡による観察に用いなかった残りの素子を、引き続き真空容器55内に設置したまま、活性化処理を行った。真空容器55内にアセトンを導入、圧力を 1.3×10^{-2} Paとし、素子電極4、5間にパルス電圧を15分間印加した。パルス電圧の波形は、波高値1*

*5Vの矩形波で、パルス幅1m秒、パルス間隔10m秒とした。

【0203】工程-f

つづいて、真空容器55内のアセトンを排気し、真空装置全体を加熱して6時間排気を続け、安定化工程を行った。これにより、真空容器55内の圧力は約 10^{-5} Paとなった。

【0204】さらに、実施例5-5、5-6として、上記工程-eでの活性化処理の時間を25分間としたことを除き、それぞれ実施例5-1、5-3と同様の工程により素子を作製した。

【0205】真空容器55内の圧力を保ったまま、表面伝導型電子放出素子を駆動し、素子電流 I_f と放出電流 I_e の測定を行った。測定条件は、電子放出素子とアノード電極54との距離Hを5mm、アノード電極54の電位を1KV、素子に印加するパルス波高値を15V、素子電極2を正極、素子電極3を負極とした。各素子の測定結果及び、電子顕微鏡による観察結果を、表3に示す。

【0206】

【表3】

素子	V_a (V)	活性化処理時間 (min)	I_e (mA)	I_f (μ A)	亀裂幅 (nm)	電圧印加相当長 (nm)
実施例5-1	6	15	1.0	1.5	20	3.0
実施例5-2	10	15	0.9	1.3	30	4.5
実施例5-3	14	15	0.9	1.1	50	5.0
実施例5-4	18	15	0.7	0.9	100	6.0
実施例5-5	6	25	1.0	1.5	20	3.0
実施例5-6	14	25	1.0	1.4	50	3.5
比較例4	-	-	1.2	1.0	40~100	5.5

【0207】電子顕微鏡での観察結果によれば、フォーミング処理までを行った素子において、実施例5の V_h が6V、10V及び14Vの素子では、亀裂幅が電子放出部全体にわたり50nm以下で、一様に形成されていた。 V_h が18Vの素子(実施例1-4の素子)では、亀裂幅が50nmを越えるが、やはり一様であった。一方、比較例4の素子では、40~100nmの範囲の不均一な幅の亀裂が形成されており、先に説明したような亀裂幅を規定する中心値を求めることは出来なかった。

【0208】活性化処理以降の工程を行った素子では、本実施例の6素子のいずれも、フォーミングにより形成された電子放出部2のほぼ全域にカーボン被膜がほぼ一様に形成され、電子放出部のほぼ全域から電子放出を行っていたものと考えられる。一方、比較例4の素子では、電子放出部2の一部にカーボン被膜の形成されていない領域があった。このことは、放出電流 I_e が小さい原因の一つと考えられる。

【0209】また、比較例4の素子に比べ実施例5の各*

素子は、素子電流 I_f が小さいが、これは、一様な亀裂が形成された結果、活性化工程において一様に活性化され、リーク電流の発生が抑制されたためではないかと思われる。比較例4の素子においては、亀裂幅が一様ではないため、活性化の程度に分布が生じ、一部にリーク電流の経路が形成されたものと考えられる。

【0210】実施例5-1、5-3と実施例5-5、5-6を比較すると、亀裂幅が20nmの素子(実施例5-1と実施例5-5の素子)では、活性化時間を延ばしても I_e 、 I_f は変化せず、電圧印加相当長も変化しないが、亀裂幅が50nmの素子(実施例5-3と実施例5-6の素子)では、 I_e 、 I_f とも大きくなり、電圧印加相当長は小さくなっているのが分かる。このことから、亀裂幅が均一に形成されていれば、活性化処理の時間を延ばすことにより電圧印加相当長を小さく、 I_e を大きくすることができる。ただし、上記の活性化条件では、電圧印加相当長は3.0nmが限界値で、これ以上は変化しない。従って、各素子の亀裂幅が一様でありさ

35

えすれば、各素子の亀裂幅に違いがあっても、活性化処理をより長い時間をかけて行うことにより、 I_e 及び電圧印加相当長をほぼ同じ値に揃えられることがわかる。また、亀裂幅を小さくすれば、上記限界値に到達する時間を短くすることができる。

【0211】[実施例6及び比較例5] 実施例6-1～6-4の素子は、以下の点を除いて、前述の実施例5-1～5-4の素子と同様の方法で作成した。また、電子顕微鏡観察及び電子放出特性の測定も実施例5と同様の方法で行った。

【0212】実施例6の各素子のフォーミング処理は、圧力1.3 Paの H_2 中で行った。各素子それぞれの V_h 、すなわち6 V、10 V、14 V、18 Vにパルス電圧を保持している間に、素子の抵抗値は1 M Ω を越え、フォーミング処理を完了した。

【0213】比較例5の素子では、圧力1.3 $\times 10^{-5}$ Paの真空中でフォーミングを行い、 $T_1=1$ m秒、 $T_2=10$ m秒とし、 $V_h=6$ Vとして、30分間保持した。抵抗値は徐々に増加したが、1 M Ω を越えなかった。結果を表4に示す。

【0214】

【表4】

素子	V_h (V)	I_e (mA)	I_e (μ A)	亀裂幅 (nm)	電圧印加相当長 (nm)
実施例6-1	6	1.0	2.0	15	3.0
実施例6-2	10	0.9	1.8	20	3.5
実施例6-3	14	0.8	1.7	50	4.0
実施例6-4	18	0.8	1.3	80	5.0
比較例5	6	1.5	1.0	≤ 35	≤ 5.0

【0215】電子顕微鏡による観察結果によれば、実施例6の各素子において、 V_h が6 V、10 V及び14 Vの素子では、亀裂幅が電子放出部全体にわたり50 nm以下で、一様に形成され、 V_h が18 Vの素子では、亀裂幅が50 nmを越えているものの、亀裂は一様に形成されていた。一方、比較例5の素子では、35 nm以下の範囲の不均一な幅の亀裂が形成されており、一部には亀裂形成が不十分で、導電性膜がつながっていると思われる箇所があった。これは、 $V_h=6$ Vで保持した後、パルス幅を長くしたパルス電圧を印加する処理を行わな

かったためと考えられる。
【0216】活性化処理以降の工程を行った素子では、本実施例の4素子いずれも、フォーミングにより形成された電子放出部2のほぼ全域にカーボン被膜がほぼ一様に形成され、電子放出部のほぼ全域から電子放出を行っ

36

ていたものと考えられる。一方、比較例5の素子では、電子放出部2の一部にカーボン被膜がつながって形成されている領域があった。このことは、素子電流 I_e が大きく、放出電流 I_e が小さい原因の一つと考えられる。

【0217】また、比較例5の素子に比べ実施例6の各素子は、素子電流 I_e が小さいが、これは、一様な亀裂が形成された結果、活性化工程において一様に活性化され、リーク電流の発生が抑制されたためではないかと思われる。他方、比較例5の素子は、亀裂の幅は比較的一様ではあるものの、活性化処理によって一部に高電位側と低電位側のつながった部分が生じ、リーク電流の経路が形成されたものと考えられる。

【0218】表3と表4の比較によれば、 H_2 中でフォーミング処理を行った方が、真空中で行った場合に比べ、亀裂幅及び電圧印加相当長の減少、放出電流の増加が観測される。これは、真空中に比べ、 H_2 中では導電性膜の還元、凝集が促進され、低電力でフォーミングが行われ、亀裂幅が一様に狭くなったものと考えられる。

【0219】[実施例7] 本実施例の素子は、以下の点を除いて、実施例5の素子と同様の方法で作成した。また、電子顕微鏡観察及び電子放出特性の測定も実施例5と同様の方法で行った。

【0220】本実施例では、導電性膜3は、Ptをスパッタリング法により成膜して形成した。導電性膜3の厚さは約2.5 nm、抵抗値は、 $R_s=3.5 \times 10^4 \Omega$ / \square であった。

【0221】フォーミング処理の際の真空容器内の雰囲気は次の4条件とした。(1) 真空(圧力約1.3 $\times 10^{-4}$ Pa)、(2) H_2 (1.3 Pa)、(3) CO (130 Pa)、(4) アセトン (1.3 $\times 10^{-3}$ Pa)。また、印加したパルスは、 $T_1=1$ m秒、 $T_2=100$ m秒、 $V_h=10$ V、 $T_h=10$ 分とした。上記パルス印加中、抵抗値は徐々に増加したが、 H_2 中で処理したものを除き、抵抗値は1 M Ω を越えなかった。その後、波高値を12 Vとしたところ、数パルス印加後に抵抗値が1 M Ω を越えたので、フォーミング処理を完了した。

【0222】実施例5と同様にして活性化処理を行った後、安定化工程として、真空容器全体を180 $^{\circ}$ Cに加熱し、6時間排気を行って真空容器55内の圧力を約1.3 $\times 10^{-6}$ Paとした。

【0223】観察・測定の結果を表5に示す。

【0224】

【表5】

素子	雰囲気	I_f (mA)	I_s (μA)	亀裂幅 (nm)	電圧印加相当長 (nm)
実施例7-1	真空	1.0	1.5	15	3.5
実施例7-2	H ₂	0.9	2.0	10	3.0
実施例7-3	CO	1.0	1.4	15	4.0
実施例7-4	アセトン	1.0	1.4	15	4.0

【0225】電子顕微鏡による観察結果によると、フォーミング処理までを行った本実施例の各素子はいずれも、亀裂幅が電子放出部全体にわたり20nm以下で、一様に形成されており、先の実施例5、6及び比較例4、5と比べて狭かった。これは、導電性膜の材質に依存するもので、融点の高い材質の方が亀裂幅が狭くなるものと考えられる。

【0226】活性化処理以降の工程を行った素子では、本実施例の4素子いずれも、フォーミングにより形成された電子放出部2のほぼ全域にカーボン被膜がほぼ一様に形成され、電子放出部のほぼ全域から電子放出を行っていたものと考えられる。

【0227】また、本実施例の素子は比較例4、5の素子に比べ、素子電流 I_f が小さいが、これは、一様な亀裂が形成され、活性化工程において一様に活性化された結果、リーク電流の経路の発生が抑制されたものと考えられる。

【0228】また、表5の結果を比較すると、H₂中でフォーミング処理を行った場合、他に比べて亀裂幅が小さく放出電流が大きいが、これはH₂が存在すると導電性膜(Pt)の凝集が促進され、低い電力でフォーミン*

*グが行われるため、亀裂幅が小さくなったものと考えられる。一方、CO、アセトンは、Ptの凝集を促進する効果はほとんどなく、真空中とほぼ同等であった。

【0229】[実施例8] 本実施例の素子は、以下の点を除いて、実施例5の素子と同様の方法で作成した。また、電子顕微鏡観察及び電子放出特性の測定も実施例5と同様の方法で行った。

【0230】導電性膜3の材質は、実施例5と同様のPdO微粒子膜である。フォーミング処理で用いたパルス電圧は、 $T_1=1$ m秒、 $T_2=100$ m秒の矩形波で、 $V_h=6.0$ Vとした。電圧を V_h に保持している間に抵抗は徐々に上昇し、その後パルスの波高値を7.0 Vに変更したところ、抵抗値が1 M Ω を越えたので、フォーミング処理を完了した。尚、フォーミング処理の際の真空容器55内の雰囲気は、次の2条件とした。(1) CO (13 Pa)、(2) アセトン (1.3×10^{-3} Pa)。

【0231】観察・測定の結果を表6に示す。

【0232】

【表6】

素子	雰囲気	I_f (mA)	I_s (μA)	亀裂幅 (nm)	電圧印加相当長 (nm)
実施例8-1	CO	1.0	1.6	25	3.5
実施例8-2	アセトン	1.0	1.6	28	3.2

【0233】実施例7の素子のように導電性膜3の材質がPtである場合には、CO、アセトンによる凝集の促進は見られなかったが、導電性膜3の材質がPdOである本実施例の場合には、導電性膜の還元が促進され、これに伴う凝集も促進されるため、フォーミングに要する電力が小さく、亀裂幅が減少したものと考えられる。PdOと同様に、比較的還元されやすい金属酸化物により導電性膜を形成した場合にも、同様の効果が期待される。

【0234】[実施例9] 本実施例の素子は、以下の点を除いて、実施例5の素子と同様の方法で作成した。また、電子顕微鏡観察及び電子放出特性の測定も実施例5と同様の方法で行った。

※

【0235】本実施例においては、フォーミング処理は、圧力が 1.3×10^{-4} Paの真空中で行い、印加した電圧パルスは、 $V_h=6$ V、パルス幅 $T_1=1$ m秒の矩形波で、パルス間隔 T_2 を次の5条件とした。(1) 2 m秒、(2) 5 m秒、(3) 10 m秒、(4) 100 m秒、(5) 1秒。パルス波高値を V_h で保持した後、波高値を7.0 Vに上昇させたところ、いずれの素子も抵抗値が1 M Ω を越えたので、フォーミング処理を完了した。

【0236】観察・測定の結果を表7に示す。

【0237】

【表7】

素子	T_1 (msec)	I_f (mA)	I_e (μ A)	亀裂幅 (nm)	電圧印加相当長 (nm)
実施例9-1	2	1.0	0.8	50	4.5
実施例9-2	5	1.0	1.0	45	4.2
実施例9-3	10	1.0	1.2	40	4.0
実施例9-4	100	1.0	1.5	30	3.0
実施例9-5	1000	1.0	1.5	30	3.0

【0238】表7に示す結果から、亀裂幅、電圧印加相当長、電子放出特性などが、フォーミングパルスのパルス間隔 T_2 に依存することがわかる。これは、パルス幅 T_1 に対し、パルス間隔 T_2 が十分に長くない場合は、パルス印加により発生した熱が蓄積され、電子放出部近傍の温度が上昇して、亀裂幅が増加するためと思われる。従って、 T_2 は T_1 より十分に長い方が良く、 T_2 は T_1 の5倍以上、好ましくは10倍以上、さらに好ましくは100倍以上である。

【0239】〔実施例10及び比較例6〕実施例10及び比較例6の素子は、一基板上に複数の素子を形成したものであるが、各素子の基本的な構成は、図1と同様である。本実施例の素子は、以下の点を除いて、実施例5の素子と同様の方法で作成した。また、電子顕微鏡観察及び電子放出特性の測定も実施例5と同様の方法で行った。

【0240】本実施例の素子の導電性膜3は、スパッタリング法により堆積したPt膜で、厚さは約1.5nm、抵抗値は $R_s = 5 \times 10^4 \Omega/\square$ である。

【0241】本実施例においては、フォーミング処理は、圧力が 1.3×10^{-4} Paの真空中で行い、印加した電圧パルスは、 $T_1 = 1$ msec、 $T_2 = 100$ msec、 $V_h = 5.5$ V、 $T_h = 10$ 分とした。保持時間経過後、 $T_1 = 5$ msecに変更したところ、素子の抵抗値が1M Ω を越えたので、フォーミング処理を完了した。

【0242】一方、比較例6の素子に対するフォーミング処理には、比較例4と同様のパルス波高値の漸増する矩形波パルスを用いた。

【0243】電気特性の測定は、実施例10の素子に対し素子電圧 $V_f = 3.2$ V、比較例6の素子に対し素子電圧 $V_f = 1.8$ Vを印加して行い、それぞれ複数の素子について素子電流 I_f 、放出電流 I_e 及びそのバラツキを測定した。

【0244】観察・測定の結果を表8に示す。

【0245】

〔表8〕

素子	V_f (V)	I_f (mA)	ΔI_f (%)	I_e (μ A)	ΔI_e (%)	亀裂幅 (nm)
実施例10	32	1.0	4.8	1.1	4.6	50
比較例6	18	1.1	26.0	1.0	31.0	40~100

【0246】本実施例及び本比較例のフォーミング工程*50

*までを行った素子を電子顕微鏡により各3個観察したところ、本実施例の素子では、電子放出部2の全域にわたり亀裂が50nm以下で一様な幅で形成されていたが、本比較例の素子では、40~100nmの範囲で不均一な幅の亀裂が形成されていた。

【0247】活性化処理以降の工程を行った素子では、本実施例の素子はいずれも、電子放出部2の全域にカーボン被膜がほぼ一様に形成され、電子放出部の全域から電子が放出された痕跡が観察された。一方、本比較例の素子では、電子放出部2の一部にカーボン被膜が形成されていない領域があった。

【0248】また、本実施例の素子では、各素子間の I_f 及び I_e のバラツキ(ΔI_f 及び ΔI_e)がいずれも小さく、特性のバラツキの少ない均一な電子放出特性を示す素子が得られた。

【0249】〔実施例11〕本実施例の素子は、以下に述べる点を除き、実施例5の素子と同様の方法で作成した。また、電子顕微鏡観察及び電子放出特性の測定も実施例5と同様の方法で行った。

【0250】本実施例では、素子電極4、5の間隔 L は2 μ mとした。導電性膜3は実施例5と同様にして作成したPdO微粒子膜で、厚さは約6nm、抵抗値は $R_s = 4.2 \times 10^4 \Omega/\square$ である。

【0251】フォーミング処理は圧力 1.3×10^{-4} Paの真空中で行い、印加した電圧パルスは、 $T_1 = 1$ msec、 $T_2 = 100$ msec、 $V_h = 5.5$ V、 $T_h = 10$ 分とした。保持時間経過後、 $T_1 = 5$ msecに変更したところ、素子の抵抗値が1M Ω を越えたため、フォーミング処理を完了した。

【0252】活性化処理は、真空容器55内にWF₆を導入して行なった。圧力は 1.3×10^{-1} Paとした。このとき印加したパルスは、 $T_1 = 2$ msec、 $T_2 = 10$ msec、波高値20Vの矩形波である。尚、この活性化処理は、基板を150℃に加熱した状態で行った。

【0253】安定化工程は、真空容器全体を200℃に加熱し、2時間排気を行って真空容器55内の圧力を約 10^{-6} Paとした。

【0254】素子の電気特性の測定は、波高値20Vのパルス電圧を印加して行なった。観察・測定の結果を表9に示す。

【0255】

〔表9〕

素子	I_f (mA)	I_s (μ A)	亀裂幅 (nm)	電圧印加相当長 (nm)
実施例11	1.0	2.0	30	3.8

【0256】電子顕微鏡による観察結果によると、フォーミング処理までを行った素子においては、電子放出部2に見られる亀裂の幅が、電子放出部全体にわたり30nm以下ではほぼ一様に形成されていた。活性化処理以降の工程を行った素子では、電子放出部2の全域にWの堆積膜がほぼ一様に形成されており、電子放出領域の観察からは、電子放出部のほぼ全域から電子放出が起こっていることが観察された。

【0257】以上のように、本発明を適用した表面伝導型電子放出素子は、良好な電子放出特性を示す。

【0258】〔実施例12及び比較例7〕実施例12及び比較例7の素子は、以下に述べる点を除き、実施例5の素子と同様な方法で作成したものである。

【0259】本実施例及び本比較例の素子においては、素子電極は、Niをスパッタリングにより堆積して形成した。電極間隔Lは50 μ mである。導電性膜3は、厚さ10nmのPdO微粒子膜で、抵抗値は $R_s = 8 \times 10^4 \Omega / \square$ であった。

【0260】本実施例において、フォーミングに用いた電圧パルスは、図23(a)に示した三角波パルスで、 $T_1 = 100 \mu$ 秒、 $T_2 = 10$ m秒、波高値は10Vで一定とした。このとき、素子を流れる電流のピーク値は、2.5mAであった。真空容器55内の圧力は、はじめ 1.3×10^{-4} Paとし、H₂2%-N₂98%混合ガスを徐々に導入して、全圧を 1.3×10^{-3} Paとした。上記混合ガスの導入開始後、素子に流れる電流は徐々に減少し、10nA以下となった。この間の最大投入電力は、85mWである。

【0261】一方、比較例7の素子に対するフォーミング処理には、図23(b)に示したような、波高値の漸増する三角波パルスを用いた。波高値は5Vから徐々に増加させ、14Vでフォーミングを完了した。このときの最大電流は10.5mA、最大投入電力は147mWであった。尚、真空容器55内の圧力は、 1.3×10^{-4} Paである。

【0262】電気特性の測定は、素子に20Vの矩形波パルスを印加して行った。測定結果を表10に示す。

【0263】

【表10】

素子	雰囲気	I_f (mA)	I_s (μ A)
実施例12	H ₂ -N ₂	1.5	1.8
比較例7	真空	0.8	1.2

【0264】〔実施例13〕本実施例の素子は、以下の点を除き、実施例12の素子と同様に作成した。

【0265】本実施例のフォーミング処理に用いた電圧パルスは、矩形波で、 $T_1 = 100 \mu$ 秒、 $T_2 = 16.7$ m秒、波高値は10Vで一定とした。このとき素子を流れる電流は、1.7mAであった。この状態で、真空容器55内にH₂1%-Ar99%混合ガスを徐々に導入し、全圧を 2.6×10^3 Paとした。上記混合ガスの導入開始から約5分でフォーミングは完了した。

【0266】電気特性の測定は、素子に波高値18Vのパルスを印加して行った。その結果、 I_f は1.5mA、 I_s は2.1 μ Aであった。

【0267】〔実施例14及び比較例8〕本実施例及び比較例は、実施例4と同じく、基板上に多数の表面伝導型電子放出素子を配置し、マトリクス配線した電子源、画像形成装置に関する。配置した素子の数は、カラーの3原色分を含めて20行60列である。

【0268】先ず、本実施例及び比較例の電子源の製造工程を説明する。

【0269】本実施例及び比較例では、実施例4の工程-a~h及び封着まで同様の工程を施した。ただし、素子電極間隔Lは3 μ m、素子電極幅W₁は200 μ mとし、導電性膜3はスパッタ法により形成したPt薄膜であり、その厚さは1.5nm、抵抗は $R_s = 5 \times 10^4 \Omega / \square$ であった。また、この導電性膜3のパターニングに用いたCrマスクの厚さは50nmとした。

【0270】封着工程までを完了した画像形成6個を、以下のような3通りの方法A~Cによってそれぞれ2個ずつフォーミング処理を行った。さらに別の画像表示装置2個を、方法Dによってフォーミングし、これを比較例8とした。なお、各方法でフォーミング処理した内の1個は、フォーミング処理後の電子放出部を電子顕微鏡により観察するために用いた。フォーミング処理の際には、図21に示すように、Y方向配線73は外部端子Dy1~Dy60を共通電極1401に接続することにより共通接続され、パルス発生器1402のグランド側の端子に接続されている。X方向配線72は外部端子Dx1~Dx20を介して制御スイッチング回路1403に接続されている。該スイッチング回路は、各端子をパルス発生器1402ないしグランドのいずれかに接続するものである。

【0271】方法A：外囲器88内を排気管（不図示）を通じて排気装置にて排気し、圧力を 1.3×10^{-4} Pa以下に下げた後、素子にパルス電圧を印加した。パルス波高値は0Vから徐々に上昇させ、6Vに達したところで、上昇をやめて固定した。パルス幅は $T_1 = 100 \mu$ 秒、パルス間隔は $T_2 = 833 \mu$ 秒、すなわち周波数にして $f = 1200$ Hzとした。同時に素子行選択手段であるスイッチング制御回路1403は、Dx1~Dx20の外部端子の内いずれか一つがパルス発生器1402に、他はグランドに接続され、 T_2 と同期して、パルス発生器につながる端子がDx1からDx20まで順

次、循環的に切り替わるように動作する。従って、個別の電子放出素子には、パルス幅が $T_1=100\mu\text{秒}$ 、パルス間隔が $T_2=16.7\mu\text{秒}$ 、すなわち周波数にして $f=60\text{Hz}$ のパルスが印加されていることになる。そして、パルス波高値を 6V に保って、 10 分間保持した。この間に素子電流は徐々に減少した。この後、パルス幅を $T_1=500\mu\text{秒}$ に変更したところ、各 X 方向配線毎にパルス波高値と素子電流から求められる抵抗値（同一の X 方向配線に接続された電子放出素子 60 個の並列抵抗）が $16.7\text{K}\Omega$ （ 1 素子の抵抗値 $1\text{M}\Omega$ に相当）を越えたので、パルス印加を停止した。

【0272】方法B：方法Aと同様に外囲器88内を排気した後、 H_2 ガスを導入し、圧力を 1.3Pa とした。この後、方法Aと同様のパルスを印加し、波高値を 6V に固定し 10 分間保持したところ、各 X 方向配線毎にパルス波高値と素子電流から求められる抵抗値が $16.7\text{K}\Omega$ を越えたので、パルス印加を停止し、外囲器内を再度排気した。

【0273】方法C：方法Aと同様に外囲器88内を排気した後、 X 方向配線の内、 $D\times 1$ のみをパルス発生器1402に接続し、パルス幅が $T_1=100\mu\text{秒}$ 、パルス間隔が $T_2=16.7\text{m秒}$ 、すなわち周波数にして $f=60\text{Hz}$ のパルスを印加した。パルス波高値は方法Aと同様に変化させ、 6V で 10 分間保持した後、 T_1 を $500\mu\text{秒}$ に変更し、抵抗値が $16.7\text{K}\Omega$ を越えるのを確かめてパルス印加を停止した。この後、スイッチング回路を切り替え、同様に次の素子行のフォーミング処理を行い、これを繰り返して 20 行すべてのフォーミング処理を行った。

【0274】方法D：方法Aと同様に外囲器88内を排気した後、パルス幅 $T_1=100\mu\text{秒}$ 、パルス間隔 $T_2=833\mu\text{秒}$ のパルスを印加した。スイッチング回路1403の動作は方法Aと同様とした。従って、方法Aと同様に、個別の電子放出素子には、パルス幅が $T_1=100\mu\text{秒}$ 、パルス間隔が $T_2=16.7\mu\text{秒}$ 、すなわち周波数にして $f=60\text{Hz}$ のパルスが印加されていることになる。尚、パルス波高値は 0.1V ステップで漸増させ、波高値が 12V となったところで、各素子行の抵抗値が相次いで $16.7\text{K}\Omega$ を越えたので、パルスの印加を停止した。

【0275】このようにして形成された電子放出部2には、幅 10nm （方法B）及び 15nm （方法A、C）の亀裂が一様に形成されていた。比較例8（方法D）では、幅 $100\sim 200\text{nm}$ の不均一な亀裂が形成されていた。

【0276】次に、パルス電圧を印加して素子を駆動させて活性化処理を行った。本実施例では、矩形波パルスを用い、パルス幅とパルス間隔およびスイッチング回路の動作は上記方法Aの場合と同様、パルス電圧の波高値を 15V とし、外囲器88内にアセトンを導入、圧力を

$1.3\times 10^{-2}\text{Pa}$ とし、素子電流 I_f を測定しながら行った。

【0277】この後、安定化工程を行った。外囲器88を 160°C に加熱しながら排気し、内部の圧力を $1.3\times 10^{-5}\text{Pa}$ とした後、排気管（不図示）をガスバーナーで熱することで溶着し、外囲器88の封止を行った。最後に、封止後の真空度を維持するために、高周波加熱法でゲッター処理を行った。

【0278】以上のようにして完成した本発明の画像形成装置において、容器外端子 $D\times 1\sim D\times 20$ と $D\times 1\sim D\times 60$ を通じ、走査信号及び変調信号を不図示の信号発生手段より夫々印加することにより電子放出させ、高圧端子87を通じてメタルバック85に 7KV の高圧を印加して、電子ビームを加速し、蛍光膜84に衝突させ、励起・発光させることで画像を表示した。その結果、均一で良好な画像が表示された。

【0279】また、同時に高圧端子87に流入する電流を測定し、放出電流 I_e を測定した。各装置に対して、 1 行（ 60 素子）あたりの平均の I_e 及び行毎のバラツキ ΔI_e は、表11に示すとおりである。

【0280】

【表11】

素子	方法	1行あたり	
		I_e (μA)	ΔI_e (%)
実施例14-1	A	90	5
実施例14-2	B	120	5
実施例14-3	C	90	5
比較例8	D	60	15

【0281】本発明による本実施例の電子源の ΔI_e は、比較例8の電子源のそれに比べて極めて小さく、均一性が高い。これは、本実施例の電子源を構成する電子放出素子の電子放出部が、通電フォーミング処理において、いずれもパルス波高値を V_h （ 6V ）で保持している間に形成されたものであるのに対し、比較例8ではパルス波高値が 12V まで徐々に上昇する間に、各素子の（フォーミング処理前の）抵抗値のバラツキなどに対応したまちまちの電圧で電子放出部が形成されたこと、また本実施例と比べパルス電圧自体が高いため、電子放出部形成の際の投入電力も大きいことなどのため、電子放出部形成が均一に行われなかったためと考えられる。

【0282】【実施例15】図17は、実施例14の本発明による画像形成装置201（ディスプレイパネル）を、例えばテレビジョン放送を初めとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示す図である。

【0283】図中201はディスプレイパネル、1001はディスプレイパネルの駆動回路、1002はディスプレイコントローラ、1003はマルチプレクサ、1004はデコーダ、1005は入出力インターフェース回路、1006はCPU、1007は画像生成回路、1008及び1009及び1010は画像メモリーインターフェース回路、1011は画像入力インターフェース回路、1012及び1013はTV信号受信回路、1014は入力部である。

【0284】尚、本画像形成装置は、例えばテレビジョン信号のように、映像情報と音声情報の両方を含む信号を受信する場合には当然映像の表示と同時に音声再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶等に関する回路やスピーカー等については説明を省略する。

【0285】以下、画像信号の流れに沿って各部の機能を説明する。

【0286】まず、TV信号受信回路1013は、例えば電波や空間光通信等のような無線伝送系を用いて伝送されるTV信号を受信するための回路である。

【0287】受信するTV信号の方式は特に限られるものではなく、例えばNTSC方式、PAL方式、SECAM方式等、いずれの方式でもよい。また、これらより更に多数の走査線よりなるTV信号、例えばMUSE方式を初めとする所謂高品位TVは、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。

【0288】TV信号受信回路1013で受信されたTV信号は、デコーダ1004に出力される。

【0289】TV信号受信回路1012は、例えば同軸ケーブルや光ファイバー等のような有線伝送系を用いて伝送されるTV信号を受信するための回路である。前記TV信号受信回路1013と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ1004に出力される。

【0290】画像入力インターフェース回路1011は、例えばTVカメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1004に出力される。

【0291】画像メモリーインターフェース回路1010は、ビデオテープレコーダー（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1004に出力される。

【0292】画像メモリーインターフェース回路1009は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1004に出力される。

【0293】画像メモリーインターフェース回路1008は、静止画ディスクのように、静止画像データを記憶

している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ1004に出力される。

【0294】入出力インターフェース回路1005は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのは勿論のこと、場合によっては本画像形成装置の備えるCPU1006と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0295】画像生成回路1007は、前記入出力インターフェース回路1005を介して外部から入力される画像データや文字・図形情報や、あるいはCPU1006より出力される画像データや文字・図形情報に基づき、表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサ等を初めとして、画像の生成に必要な回路が組み込まれている。

【0296】本回路により生成された表示用画像データは、デコーダ1004に出力されるが、場合によっては前記入出力インターフェース回路1005を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0297】CPU1006は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0298】例えば、マルチプレクサ1003に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。その際には表示する画像信号に応じてディスプレイパネルコントローラ1002に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路1007に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路1005を介して外部のコンピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。

【0299】尚、CPU1006は、これ以外の目的の作業にも関わるものであってよい。例えば、パーソナルコンピュータやワードプロセッサ等のように、情報を生成したり処理する機能に直接関わってもよい。あるいは前述したように、入出力インターフェース回路1005を介して外部のコンピュータネットワークと接続し、例えば数値計算等の作業を外部機器と協同して行ってもよい。

【0300】入力部1014は、前記CPU1006に

使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置等の多様な入力機器を用いることが可能である。

【0301】デコーダ1004は、前記1007ないし1013より入力される種々の画像信号を3原色信号、又は輝度信号とI信号、Q信号に逆変換するための回路である。尚、図中に点線で示すように、デコーダ1004は内部に画像メモリーを備えるのが望ましい。これは、例えばMUSE方式を初めとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。

【0302】画像メモリーを備える事により、静止画の表示が容易になる。あるいは前記画像生成回路1007及びCPU1006と協同して、画像の間引き、補間、拡大、縮小、合成を初めとする画像処理や編集が容易になるという利点が得られる。

【0303】マルチプレクサ1003は、前記CPU1006より入力される制御信号に基づき、表示画像を適宜選択するものである。即ち、マルチプレクサ1003はデコーダ1004から入力される逆変換された画像信号の内から所望の画像信号を選択して駆動回路1001に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、所謂多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0304】ディスプレイパネルコントローラ1002は、前記CPU1006より入力される制御信号に基づき、駆動回路1001の動作を制御するための回路である。

【0305】ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路1001に対して出力する。ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路1001に対して出力する。また、場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路1001に対して出力する場合もある。

【0306】駆動回路1001は、ディスプレイパネル201に印加する駆動信号を発生するための回路であり、前記マルチプレクサ1003から入力される画像信号と、前記ディスプレイパネルコントローラ1002より入力される制御信号に基づいて動作するものである。

【0307】以上、各部の機能を説明したが、図17に例示した構成により、本画像形成装置においては多様な画像情報源より入力される画像情報をディスプレイパネル201に表示することが可能である。即ち、テレビジ

ョン放送を初めとする各種の画像信号は、デコーダ1004において逆変換された後、マルチプレクサ1003において適宜選択され、駆動回路1001に入力される。一方、ディスプレイコントローラ1002は、表示する画像信号に応じて駆動回路1001の動作を制御するための制御信号を発生する。駆動回路1001は、上記画像信号と制御信号に基づいてディスプレイパネル201に駆動信号を印加する。これにより、ディスプレイパネル201において画像が表示される。これらの一連の動作は、CPU1006により統括的に制御される。

【0308】本画像形成装置においては、前記デコーダ1004に内蔵する画像メモリー、画像生成回路1007及び情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換等を初めとする画像処理や、合成、消去、接続、入れ換え、嵌め込み等を初めとする画像編集を行うことも可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に対しても処理や編集を行なうための専用回路を設けてもよい。

【0309】従って、本画像形成装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサを初めとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0310】尚、図17は、表面伝導型電子放出素子を電子ビーム源とする表示パネルを用いた画像形成装置とする場合の構成の一例を示したに過ぎず、本発明の画像形成装置がこれのみに限定されるものでないことは言うまでもない。

【0311】例えば図17の構成要素の内、使用目的上必要のない機能に関わる回路は省いても差し支えない。また、これとは逆に、使用目的によっては更に構成要素を追加してもよい。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路等を構成要素に追加するのが好適である。

【0312】本画像形成装置においては、とりわけ本発明によるディスプレイパネル201の薄形化が容易なため、表示装置の奥行きを小さくすることができる。それに加えて、大画面化が容易で輝度が高く視野角特性にも優れるため、臨場感にあふれ迫力に富んだ画像を視認性良く表示することが可能である。

【0313】また、均一で安定な電子放出特性を有する本発明の電子源を用いたことにより、ばらつきのない色再現性に優れた高品位なカラーフラットテレビが、実現された。

【0314】

10

20

30

40

50

【発明の効果】以上説明した様に、本発明によれば、均一で安定な電子放出特性を示す電子放出素子を提供できる。

【0315】また、多数の電子放出素子を配列形成し、入力信号に応じて電子を放出する電子源においては、各電子放出素子から均一で安定な電子放出を行うことが可能となり、さらに、かかる電子源を用いた画像形成装置においては、輝度のばらつきが少なく動作安定性に優れた高品位な画像を表示することが可能となった。

【0316】以上のように、本発明によれば、カラー画像にも対応可能で、輝度のばらつきが少なく動作安定性に優れた表示品位の高い大面積フラットディスプレイが実現される。

【図面の簡単な説明】

【図1】本発明の電子放出素子の一例である平面型表面伝導型電子放出素子の模式図である。

【図2】本発明の電子放出素子の一例である垂直型表面伝導型電子放出素子の模式図である。

【図3】図1の表面伝導型電子放出素子の製造方法の一例を説明するための図である。

【図4】本発明にかかるフォーミング処理に用いる電圧波形の一例である。

【図5】本発明の電子放出素子の製造に用いることのできる真空処理装置（測定評価装置）の一例を示す概略構成図である。

【図6】本発明の電子放出素子の電子放出特性を示す図である。

【図7】本発明の単純マトリクス配置の電子源の概略構成図である。

【図8】単純マトリクス配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略構成図である。

【図9】図8の表示パネルにおける蛍光膜を示す図である。

【図10】図8の表示パネルを駆動する駆動回路の一例を示す図である。

【図11】本発明の梯子型配置の電子源の概略平面図である。

【図12】梯子型配置の電子源を用いた本発明の画像形成装置に用いる表示パネルの概略構成図である。

【図13】本発明の実施例にかかる単純マトリクス配置の電子源の部分平面図である。

【図14】図13の電子源の部分断面図である。

【図15】図13の電子源の製造方法を説明するための図である。

【図16】図13の電子源の製造方法を説明するための図である。

【図17】実施例11における画像形成装置を示すブロック図である。

【図18】従来例の表面伝導型電子放出素子の平面図である。

【図19】比較例4のフォーミング処理に用いた電圧パルス波形を示す図である。

【図20】比較例におけるフォーミング時の素子電流とパルス波高値の関係をj示す図である。

【図21】実施例4及び実施例14におけるフォーミング処理の配線図を示す図である。

【図22】本発明にかかる電圧印加相当長を説明するための電子放出部の電子顕微鏡の2次電子像の模式図である。

【図23】本発明の実施例12、比較例7のフォーミングに用いた電圧波形を示す図である。

【図24】従来の通電フォーミング処理の方法による、パルス波高値と素子抵抗の関係をj示す模式図である。

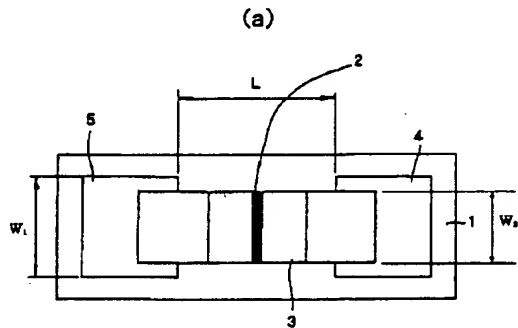
【符号の説明】

- 1 基板
- 2 電子放出部
- 3 導電性膜
- 4, 5 素子電極
- 21 段差形成部
- 50 電流計
- 51 電源
- 52 電流計
- 53 高圧電源
- 54 アノード電極
- 55 真空容器
- 56 排気ポンプ
- 71 電子源基板
- 72 X方向配線
- 73 Y方向配線
- 74 表面伝導型電子放出素子
- 75 結線
- 81 リアプレート
- 82 支持枠
- 83 ガラス基板
- 84 蛍光膜
- 85 メタルバック
- 86 フェースプレート
- 87 高圧端子
- 88 外囲器
- 91 黒色導電材
- 92 蛍光体
- 101 表示パネル
- 102 走査回路
- 103 制御回路
- 104 シフトレジスタ
- 105 ラインメモリ
- 106 同期信号分離回路
- 107 変調信号発生器
- 110 電子源基板
- 111 電子放出素子

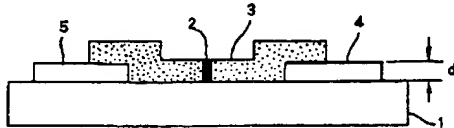
51

- 112 共通配線
- 120 グリッド電極
- 121 開口
- 131 層間絶縁層
- 132 コンタクトホール
- 133 Cr膜
- 134 Pt膜
- 141 2次電子像の黒い部分

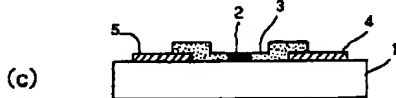
【図1】



(b)



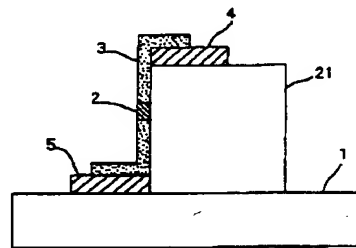
【図3】



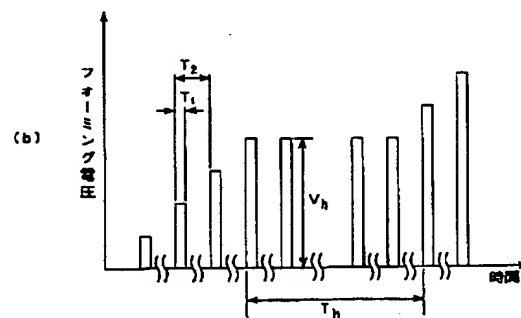
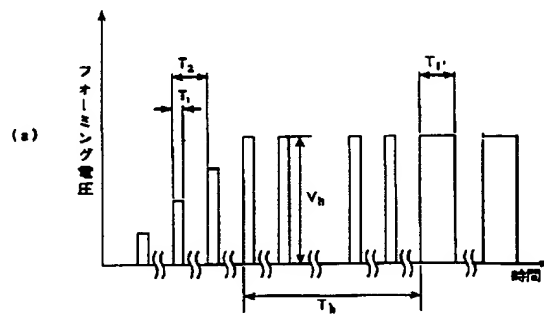
52

- 142 2次電子像の黒い部分に挟まれた白い部分
- 201 ディスプレイパネル
- 1201 基板
- 1202 電子放出部
- 1203 導電性膜
- 1401 共通電極
- 1402 パルス発生器
- 1403 制御スイッチング回路

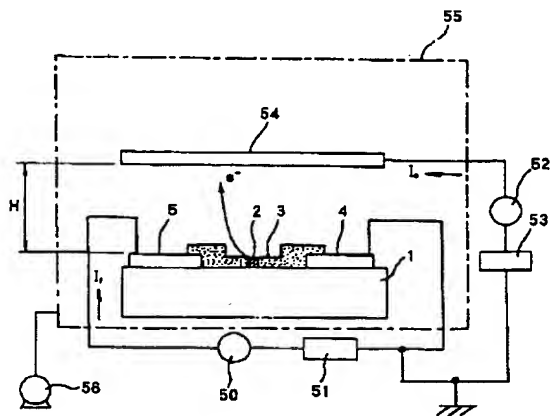
【図2】



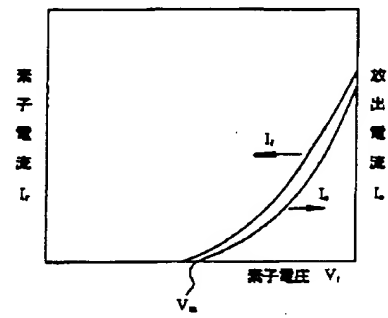
【図4】



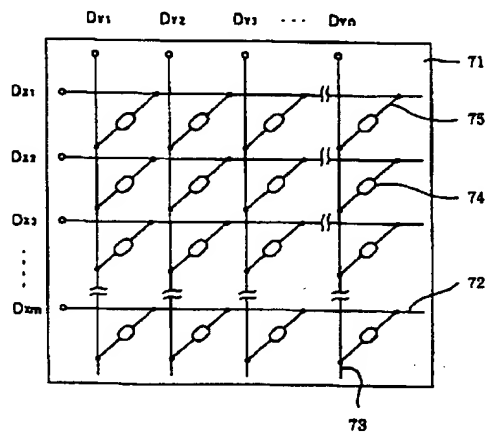
【図5】



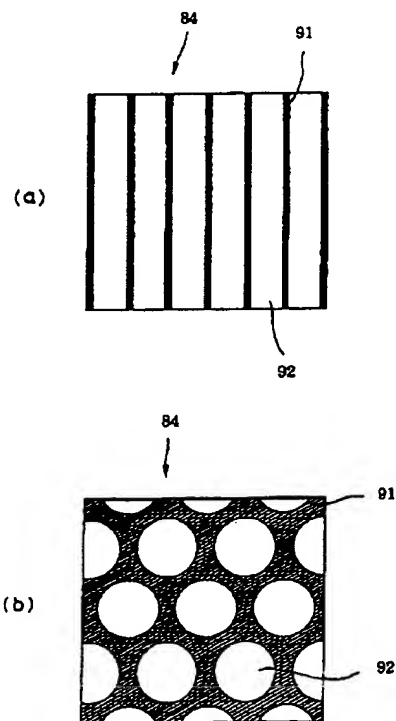
【図6】



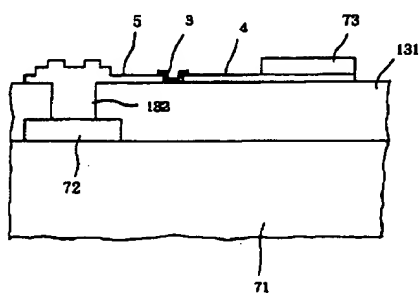
【図7】



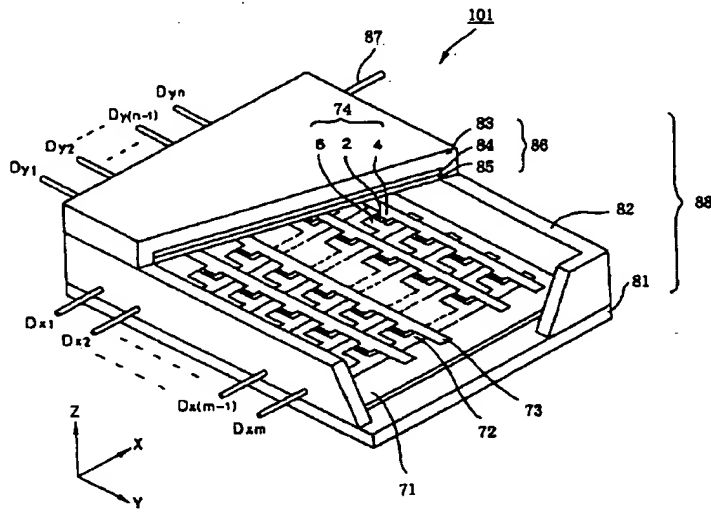
【図9】



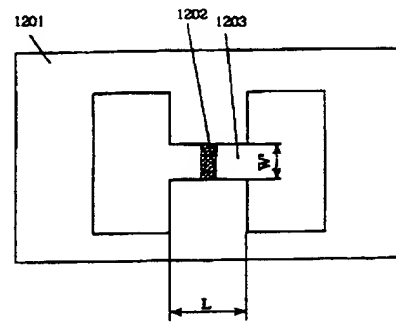
【図14】



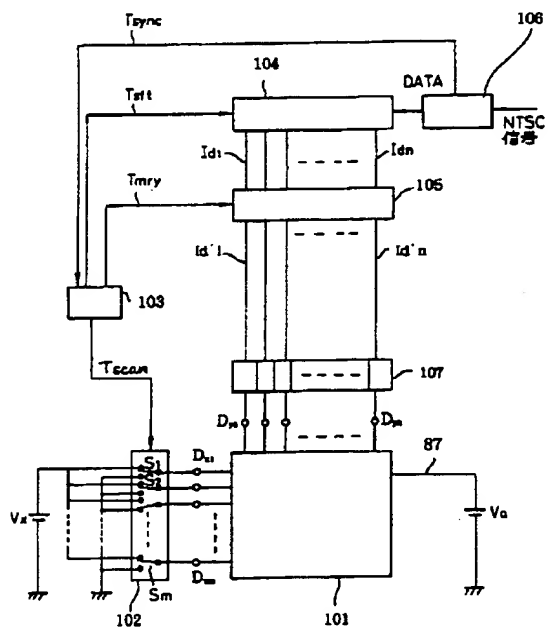
【図8】



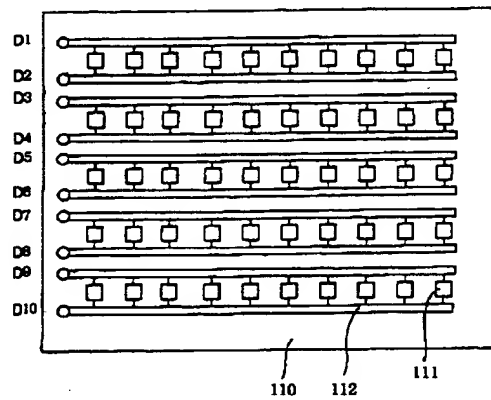
【図18】



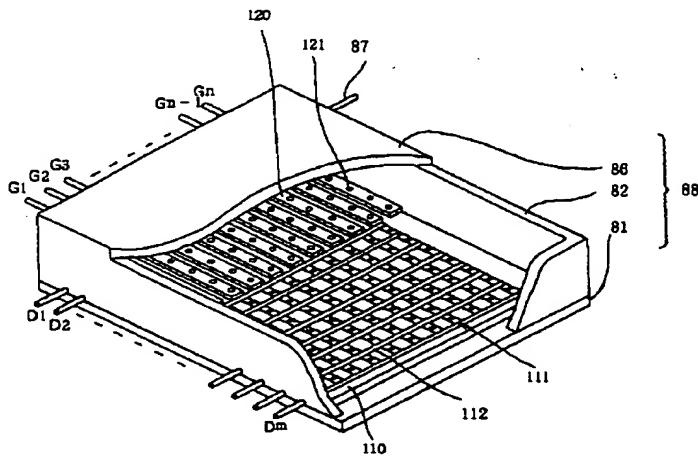
【図10】



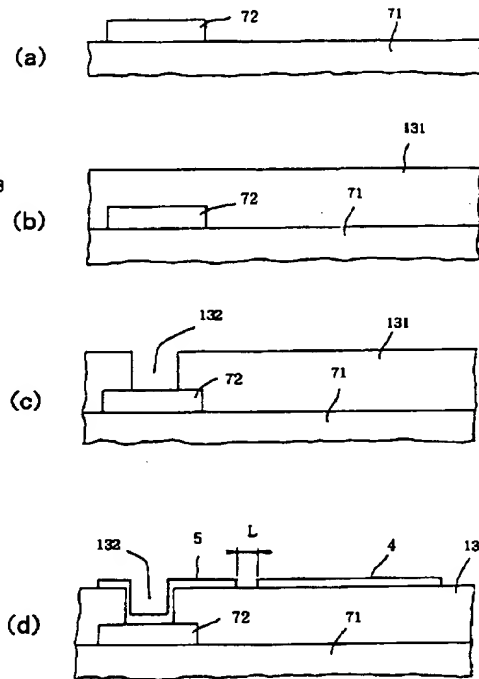
【図11】



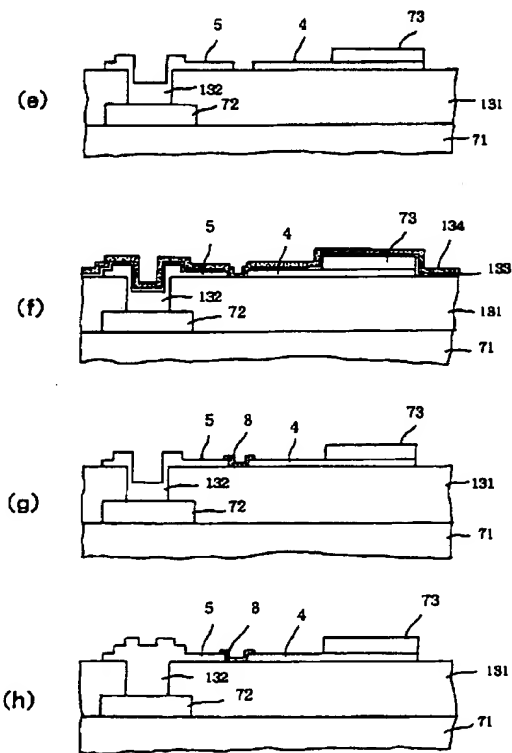
【図12】



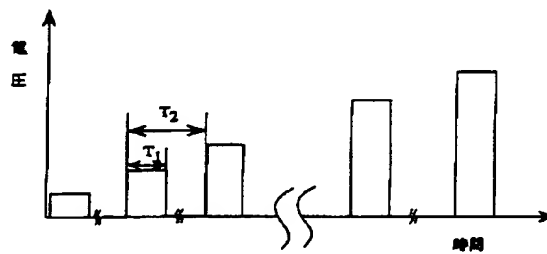
【図15】



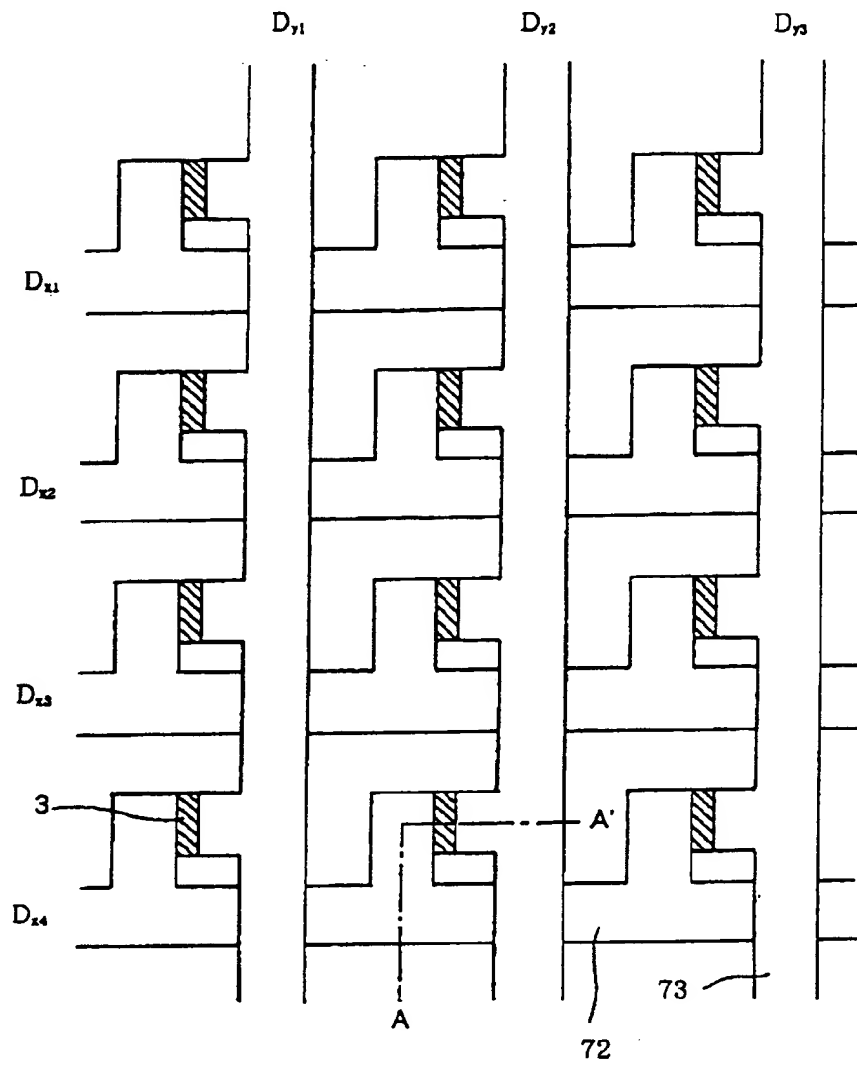
【図16】



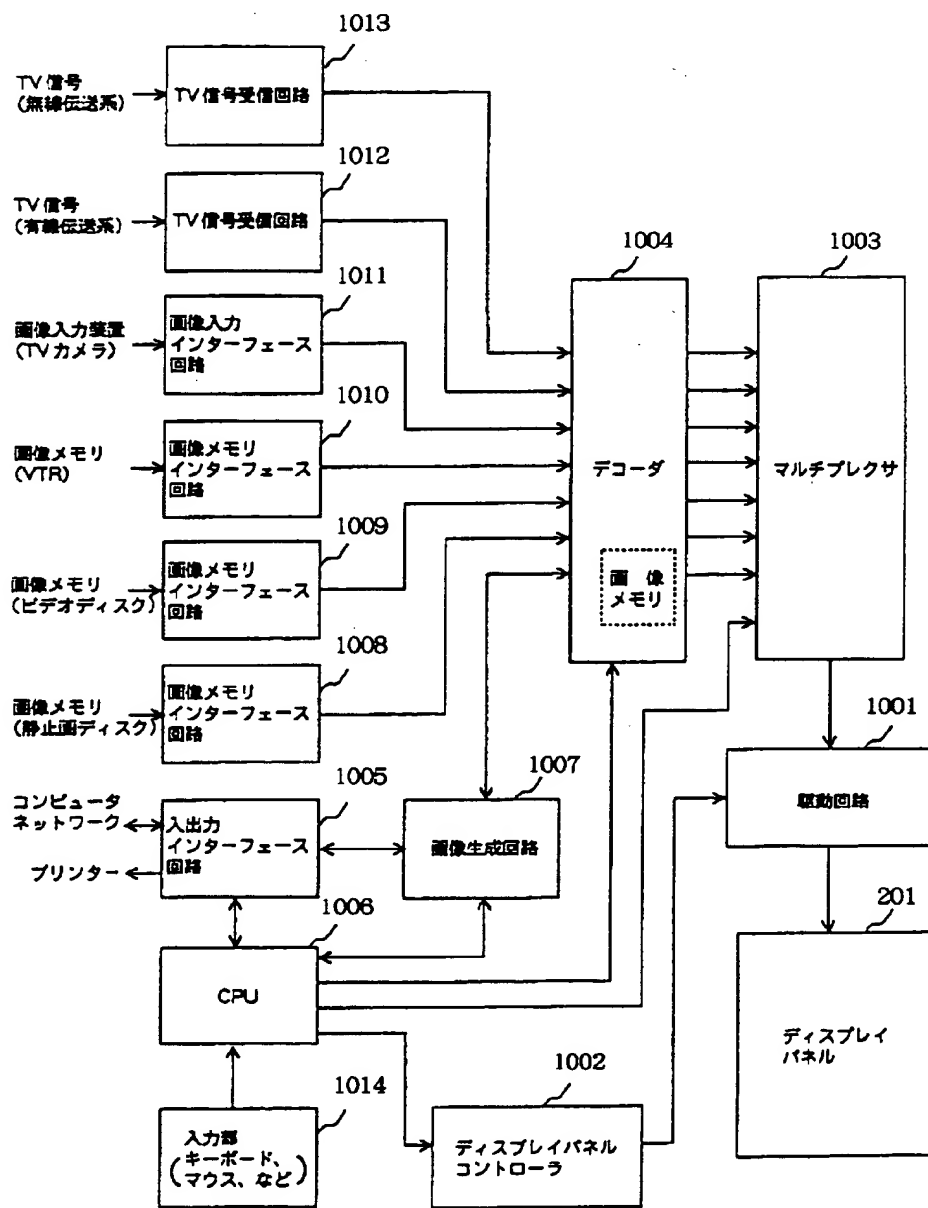
【図19】



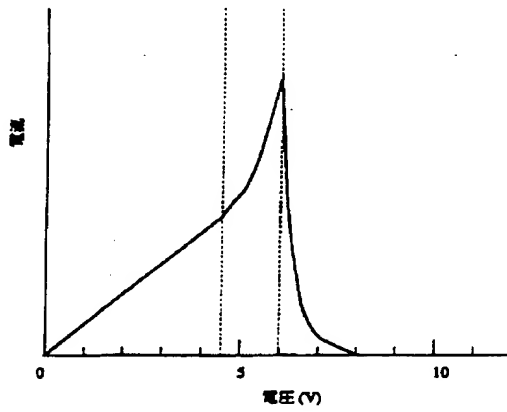
【図13】



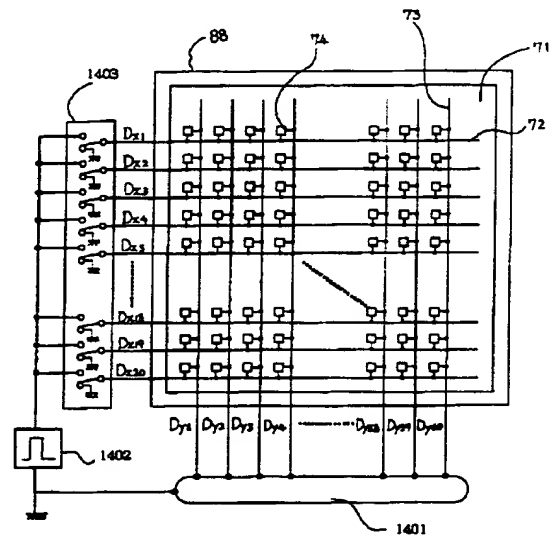
【図17】



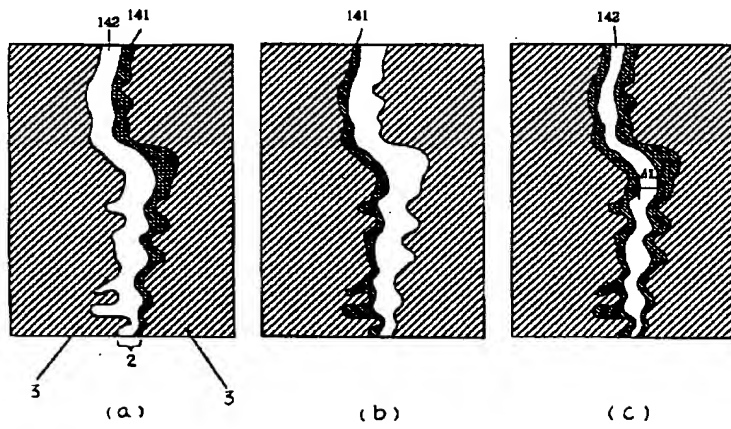
【図20】



【図21】

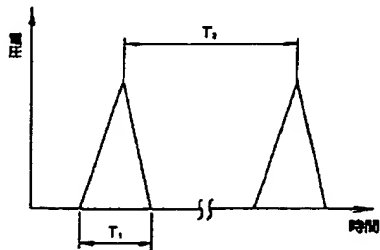


【図22】

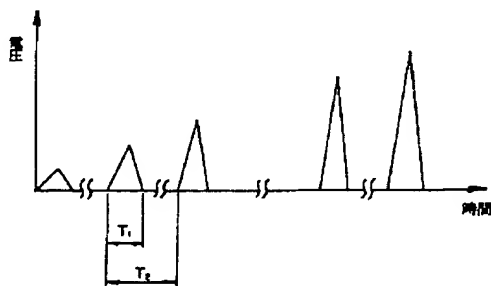


【図23】

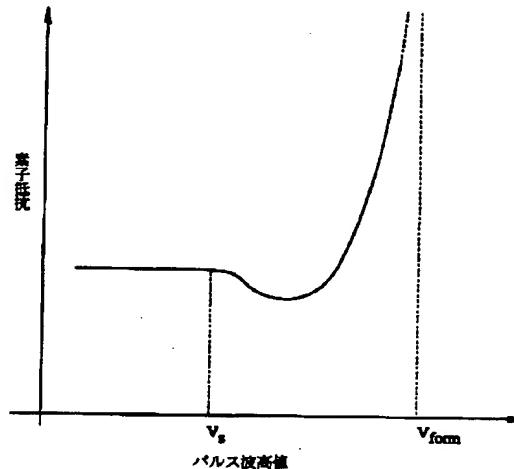
(a)



(b)



【図24】



【手続補正書】

【提出日】平成9年6月12日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記導電性膜が亀裂を有し、該亀裂の幅が50nm以下で一様であることを特徴とする電子放出素子。

【請求項2】 電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記電子放出部における電圧印加相当長が、5nm以下で一様であることを特徴とする電子放出素子。

【請求項3】 前記電子放出部が、前記導電性膜とは異なる材質の被膜を有する請求項1または2に記載の電子放出素子。

【請求項4】 前記被膜が、炭素または炭素化合物を有する請求項3に記載の電子放出素子。

【請求項5】 前記被膜が、金属または金属化合物を有する請求項3に記載の電子放出素子。

【請求項6】 前記電子放出素子が、表面伝導型電子放出素子である請求項1～5のいずれかに記載の電子放出素子。

【請求項7】 基体上に、複数の電子放出素子が配列された電子源において、前記電子放出素子が、請求項1～6のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項8】 前記複数の電子放出素子が、マトリクス状に配線されている請求項7に記載の電子源。

【請求項9】 前記複数の電子放出素子が、梯子状に配線されている請求項7に記載の電子源。

【請求項10】 基体上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置において、前記電子源が、請求項7～9のいずれかに記載の電子源であることを特徴とする画像形成装置。

【請求項11】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、導電性膜

に電子放出部を形成する工程が、該導電性膜の還元または凝集を促進するガスを含む雰囲気中にて行われることを特徴とする電子放出素子の製造方法。

【請求項12】 前記ガスが、 H_2 である請求項11に記載の電子放出素子の製造方法。

【請求項13】 前記ガスが、COまたは有機物質である請求項11に記載の電子放出素子の製造方法。

【請求項14】 前記導電性膜に電子放出部を形成する工程が、金属酸化物の導電性膜に通電する工程を有する請求項11～13のいずれかに記載の電子放出素子の製造方法。

【請求項15】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、導電性膜に電子放出部を形成する工程が、該導電性膜にパルス電圧を印加することにより行われ、該パルス電圧は、パルス幅を T_1 、パルス間隔を T_2 としたとき、 $T_2 \geq 5 \times T_1$ の関係を満たし、その波高値を該導電性膜が凝集する値に設定して行われることを特徴とする電子放出素子の製造方法。

【請求項16】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、導電性膜に電子放出部を形成する工程が、該導電性膜にパルス電圧を印加することにより行われ、該パルス電圧は、パルス幅を T_1 、パルス間隔を T_2 としたとき、 $T_2 \geq 5 \times T_1$ の関係を満たし、その波高値を上昇させ、該導電性膜が凝集する値で保持することにより行われることを特徴とする電子放出素子の製造方法。

【請求項17】 前記パルス電圧の印加は、前記波高値の保持につづき、該パルス電圧のパルス幅を増加させる工程を更に有する請求項16に記載の電子放出素子の製造方法。

【請求項18】 前記パルス電圧の印加は、前記波高値の保持につづき、該パルス電圧の波高値を増加させる工程を更に有する請求項16に記載の電子放出素子の製造方法。

【請求項19】 前記導電性膜に電子放出部を形成する工程が、該導電性膜の還元または凝集を促進するガスを含む雰囲気中にて行われる請求項15～18のいずれかに記載の電子放出素子の製造方法。

【請求項20】 前記ガスが、 H_2 である請求項19に記載の電子放出素子の製造方法。

【請求項21】 前記ガスが、COまたは有機物質である請求項19に記載の電子放出素子の製造方法。

【請求項22】 更に、前記電子放出部に、前記導電性膜とは異なる材質の被膜を形成する工程を有する請求項11～21のいずれかに記載の電子放出素子の製造方法。

【請求項23】 前記被膜が、炭素または炭素化合物を有する請求項22に記載の電子放出素子の製造方法。

【請求項24】 前記被膜が、金属または金属化合物を

有する請求項22に記載の電子放出素子の製造方法。

【請求項25】 前記電子放出素子が、表面伝導型電子放出素子である請求項11～24のいずれかに記載の電子放出素子の製造方法。

【請求項26】 基体上に、複数の電子放出素子が配列された電子源の製造方法において、前記電子放出素子が、請求項11～25のいずれかに記載の方法にて製造されることを特徴とする電子源の製造方法。

【請求項27】 請求項26に記載の電子源の製造方法において、

該電子源は複数の電子放出素子を共通接続した電子放出素子行を複数行有するものであって、

前記複数の電子放出素子の導電性膜に電子放出部を形成する際に、各電子放出素子行毎に順次電圧印加を行うことを特徴とする電子源の製造方法。

【請求項28】 前記各電子放出素子行毎に順次行われる電圧印加を、複数回繰り返すことを特徴とする請求項27に記載の電子源の製造方法。

【請求項29】 前記電子放出素子行に印加される電圧は、複数のパルス電圧よりなり、1乃至数パルス毎に、電圧印加される電子放出素子行を順次選択することを特徴とする請求項28に記載の電子源の製造方法。

【請求項30】 前記電子放出素子行の複数行からなる複数のブロック毎に順次電圧印加を行って、各ブロック毎に順次電子放出部を形成することを特徴とする請求項27～29のいずれかに記載の電子源の製造方法。

【請求項31】 基体上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置の製造方法において、前記電子源が、請求項26～30のいずれかに記載の方法にて製造されることを特徴とする画像形成装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】また、本発明の第八は、基体上に、複数の電子放出素子が配列された電子源の製造方法において、前記電子放出素子が、上記本発明第六または第七の方法にて製造されることを特徴とする電子源の製造方法にある。上記本発明第八の製造方法は、更にその特徴として、「該電子源は複数の電子放出素子を共通接続した電子放出素子行を複数行有するものであって、前記複数の電子放出素子の導電性膜に電子放出部を形成する際に、各電子放出素子行毎に順次電圧印加を行う」こと、「前記各電子放出素子行毎に順次行われる電圧印加を、複数回繰り返す」こと、「前記電子放出素子行に印加される電圧は、複数のパルス電圧よりなり、1乃至数パルス毎に、電圧印加される電子放出素子行を順次選択する」こ

と、「前記電子放出素子行の複数行からなる複数のブロック毎に順次電圧印加を行って、各ブロック毎に順次電子放出部を形成する」こと、をも含む。

フロントページの続き

(72)発明者 山野辺 正人

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 三留 正則

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内